

日 本 国 特 許 庁  
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年10月16日

出 願 番 号

Application Number:

特願2001-317620

出 願 人

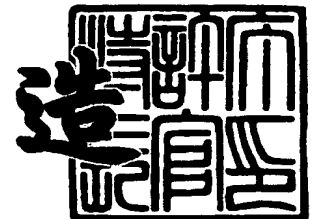
Applicant(s):

株式会社東芝

2001年11月 2日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 46B0170741

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 47

【発明者】

    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝  
                                横浜事業所内

    【氏名】 合田 晃

【発明者】

    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝  
                                横浜事業所内

    【氏名】 野口 充宏

【発明者】

    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝  
                                横浜事業所内

    【氏名】 間 博顕

【特許出願人】

    【識別番号】 000003078

    【氏名又は名称】 株式会社 東芝

【代理人】

    【識別番号】 100083161

    【弁理士】

    【氏名又は名称】 外川 英明

    【電話番号】 (03)3457-2512

【先の出願に基づく優先権主張】

    【出願番号】 特願2001- 29174

    【出願日】 平成13年 2月 6日

【手数料の表示】

【予納台帳番号】 010261

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0016857

【プールの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】

半導体基板と、

この半導体基板中に設けられた溝部中に形成されたシャロートレンチ素子分離領域と、

前記半導体基板中に形成され、間にはさむ前記半導体基板表面をチャネル領域とする一対のソース・ドレイン領域と、

前記半導体基板上に形成され、その膜厚が前記チャネルの中央部と前記シャロートレンチ素子分離領域と接する部分とで等しいゲート絶縁膜と、

このゲート絶縁膜上に形成されたゲート電極とを有することを特徴とする半導体装置。

【請求項 2】

前記ゲート絶縁膜はシリコン及び窒素を主要構成元素とする第 1 絶縁膜と、この第 1 絶縁膜上に形成された、前記第 1 絶縁膜と主要構成元素が異なる第 2 絶縁膜とを有し、この第 2 絶縁膜の膜厚が、チャネル中央部と前記シャロートレンチ素子分離領域と接する部分とで等しいことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

前記ゲート絶縁膜はシリコン及び窒素を主要構成元素とする第 1 絶縁膜と、この第 1 絶縁膜下で、前記半導体基板上に形成された、前記第 1 絶縁膜と主要構成元素が異なる第 3 絶縁膜とを有し、この第 3 絶縁膜の膜厚が、チャネル中央部と前記シャロートレンチ素子分離領域と接する部分とで等しいことを特徴とする請求項 1 記載の半導体装置。

【請求項 4】

前記ゲート絶縁膜はシリコン及び窒素を主要構成元素とする第 1 絶縁膜と、この第 1 絶縁膜上に形成された、前記第 1 絶縁膜と主要構成元素が異なる第 2 絶縁膜と、前記第 1 絶縁膜下で、前記半導体基板上に形成された、前記第 1 絶縁膜と

主要構成元素が異なる第 3 絶縁膜とを有し、前記第 1 絶縁膜、第 2 絶縁膜及び第 3 絶縁膜の膜厚が、チャネル中央部と前記シャロートレンチ素子分離領域と接する部分とで等しいことを特徴とする請求項 1 記載の半導体装置。

【請求項 5】

前記シャロートレンチ素子分離領域上には、前記第 1 絶縁膜を介在させずに前記ゲート電極が形成されていることを特徴とする請求項 2 乃至 4 いずれか 1 項記載の半導体装置。

【請求項 6】

前記シャロートレンチ素子分離領域によっては含まれた部分の前記半導体基板の幅が、前記シャロートレンチ素子分離領域によっては含まれた部分の前記ゲート電極の幅と等しいかより小さいことを特徴とする請求項 1 乃至 5 いずれか 1 項記載の半導体装置。

【請求項 7】

前記シャロートレンチ素子分離領域によっては含まれた部分の前記半導体基板の幅が、前記シャロートレンチ素子分離領域によっては含まれた部分の前記第 1 絶縁膜の幅と等しいかより小さいことを特徴とする請求項 2 乃至 5 いずれか 1 項記載の半導体装置。

【請求項 8】

前記第 1 絶縁膜のチャネル方向の幅と、前記ゲート電極のチャネル方向の幅が等しいことを特徴とする請求項 5 記載の半導体装置。

【請求項 9】

前記ゲート電極は不純物が含まれていて、前記ゲート絶縁膜と接触する部分の不純物濃度と、前記シャロートレンチ素子分離領域上面と接触する部分の不純物濃度とが等しいことを特徴とする請求項 5 記載の半導体装置。

【請求項 10】

前記ゲート電極は不純物が含まれた多結晶シリコンであり、間に自然酸化膜を介在しない一続きの膜であることを特徴とする請求項 5 又は 9 いずれか 1 項記載の半導体装置。

【請求項 11】

半導体基板と、

この半導体基板中に設けられた溝部中に形成された第 1 シャロートレンチ素子分離領域と、

前記半導体基板中に形成され、間にはさむ前記半導体基板表面を第 1 チャネルとする第 1 の 1 対のソース・ドレイン領域と、

前記半導体基板上に形成され、その膜厚が前記第 1 チャネル中央部と前記第 1 シャロートレンチ素子分離領域と接する部分とで等しい第 1 ゲート絶縁膜と、

この第 1 ゲート絶縁膜上に形成された第 1 ゲート電極と、

前記半導体基板中に設けられた溝部中に形成された第 2 シャロートレンチ素子分離領域と、

前記半導体基板中に形成され、間にはさむ前記半導体基板表面を第 2 チャネルとする第 2 の 1 対のソース・ドレイン領域と、

前記半導体基板上に形成され、その膜厚が前記第 2 チャネル中央部と前記第 2 シャロートレンチ素子分離領域と接する部分とで等しい第 2 ゲート絶縁膜と、

この第 2 ゲート絶縁膜上に形成された第 2 ゲート電極とを有することを特徴とする半導体装置。

#### 【請求項 1 2】

前記第 1 シャロートレンチ素子分離領域及び第 2 シャロートレンチ素子分離領域はそれぞれの上端部に凹部を有し、前記第 1 シャロートレンチ素子分離領域に設けられた凹部の深さは前記第 2 シャロートレンチ素子分離領域に設けられた凹部の深さよりも小さいことを特徴とする請求項 1 1 記載の半導体装置。

#### 【請求項 1 3】

前記第 1 シャロートレンチ素子分離領域は上表面が上に凸の形状を有し、前記第 2 シャロートレンチ素子分離領域は上端部に凹部を有していることを特徴とする請求項 1 1 記載の半導体装置。

#### 【請求項 1 4】

前記第 1 ゲート絶縁膜はシリコン及び窒素を主要構成元素とする第 1 絶縁膜と、この第 1 絶縁膜上に形成された、前記第 1 絶縁膜と主要構成元素が異なる第 2 絶縁膜と、前記第 1 絶縁膜下で、前記半導体基板上に形成された、前記第 1 絶縁

膜と主要構成元素が異なる第 3 絶縁膜とを有し、

前記第 2 ゲート絶縁膜は窒素を主要構成元素としない酸化シリコン膜であることを特徴とする請求項 1 1 記載の半導体装置。

【請求項 1 5】

前記第 1 ゲート電極及び第 2 ゲート電極は多結晶シリコン膜で形成され、それぞれ互いに反対導電型の不純物がドーピングされていることを特徴とする請求項 1 1 乃至 1 4 いずれか 1 項記載の半導体装置。

【請求項 1 6】

前記第 1 ゲート電極を複数個有するメモリ部と、前記第 2 ゲート電極を複数個有する周辺回路部とを具備し、複数の第 1 ゲート電極のうち第 1 の個数の第 1 ゲート電極は第 1 導電型の不純物がドーピングされ、第 2 の個数の第 1 ゲート電極は第 2 導電型の不純物がドーピングされ、複数の第 2 ゲート電極のうち第 1 の個数の第 2 ゲート電極は第 1 導電型の不純物がドーピングされ、第 2 の個数の第 2 ゲート電極は第 2 導電型の不純物がドーピングされていることを特徴とする請求項 1 1 乃至 1 4 いずれか 1 項記載の半導体装置。

【請求項 1 7】

前記第 1 ゲート電極及び第 2 ゲート電極はその膜厚が等しいことを特徴とする請求項 1 1 乃至 1 6 いずれか 1 項記載の半導体装置。

【請求項 1 8】

前記メモリ部はメモリトランジスタと選択トランジスタとを有し、前記周辺回路部は周辺回路トランジスタを有し、前記選択トランジスタは前記メモリトランジスタ又は周辺回路トランジスタのいずれか一方とそのゲート電極及びゲート絶縁膜の構成が同一であることを特徴とする請求項 1 6 記載の半導体装置。

【請求項 1 9】

半導体基板上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜形成後に前記半導体基板中にトレンチ溝を形成する工程と、

前記トレンチ溝中に絶縁物を埋め込み、シャロートレンチ素子分離領域を形成する工程と、

前記ゲート絶縁膜及び前記シャロートレンチ素子分離領域上にゲート電極を形

成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2 0】

半導体基板上に第 1 絶縁膜を形成する工程と、

この第 1 絶縁膜上に第 2 絶縁膜を形成する工程と、

この第 2 絶縁膜、前記第 1 絶縁膜、及び前記半導体基板中にトレンチ溝を形成する工程と、

このトレンチ溝中に絶縁物を埋め込み、シャロートレンチ素子分離領域を形成する工程と、

前記第 1 絶縁膜の上表面よりも前記シャロートレンチ素子分離領域が突出するように、前記第 2 絶縁膜を除去する工程と、

露出した前記第 1 絶縁膜及び前記シャロートレンチ素子分離領域上にゲート電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2 1】

前記第 1 ゲート絶縁膜を形成する工程は、電荷を蓄積可能な電荷蓄積絶縁膜を含む積層絶縁膜を形成する工程であることを特徴とする請求項 2 0 記載の半導体装置の製造方法。

【請求項 2 2】

メモリ部及び周辺回路部の半導体基板上にシリコン窒化膜を含む多層膜からなる第 1 ゲート絶縁膜を形成する工程と、

前記第 1 ゲート絶縁膜形成後に前記メモリ部及び周辺回路部の前記半導体基板中にトレンチ溝を形成する工程と、

前記トレンチ溝中に絶縁物を埋め込み、シャロートレンチ素子分離領域を形成する工程と、

前記周辺回路部の第 1 ゲート絶縁膜の内、シリコン窒化膜を除去した後、熱酸化により周辺回路部の第 2 ゲート絶縁膜を形成する工程と、

前記メモリ部及び周辺回路部の前記第 1 ゲート絶縁膜、第 2 ゲート絶縁膜、及び前記シャロートレンチ素子分離領域上にゲート電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2 3】



高耐圧トランジスタ領域及び低電圧トランジスタ領域を有する周辺回路部並びにメモリ部の半導体基板上に第 1 ゲート絶縁膜を形成する工程と、

前記周辺回路部の低電圧トランジスタ領域及び前記メモリ部の前記第 1 ゲート絶縁膜を除去する工程と、

シリコン窒化膜を含む多層膜からなる第 2 ゲート絶縁膜を全面に形成する工程と、

前記第 2 ゲート絶縁膜形成後に前記メモリ部及び周辺回路部の前記半導体基板中にトレンチ溝を形成する工程と、

前記トレンチ溝中に絶縁物を埋め込み、シャロートレンチ素子分離領域を形成する工程と、

前記周辺回路部の第 2 ゲート絶縁膜の内、シリコン窒化膜を除去した後、熱酸化により前記周辺回路部の低電圧トランジスタゲート絶縁膜及び高耐圧トランジスタゲート絶縁膜を形成する工程と、

前記メモリ部の前記ゲート絶縁膜、低電圧トランジスタゲート絶縁膜及び高耐圧トランジスタゲート絶縁膜、並びに前記シャロートレンチ素子分離領域上にゲート電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2 4】

前記ゲート電極を形成する工程において、前記メモリ部に複数のゲート電極及び前記周辺回路部に複数のゲート電極を同時に形成し、

前記ゲート電極を形成する工程の後に、前記周辺回路部の第 1 の個数のゲート電極に第 1 導電型不純物を導入する工程と、

前期周辺回路部の第 2 の個数のゲート電極に第 2 導電型不純物を導入する工程と、

前記メモリ部の第 1 の個数のゲート電極に第 1 導電型不純物を導入する工程と

前記メモリ部の第 2 の個数のゲート電極に第 2 導電型不純物を導入する工程とをさらに有することを特徴とする請求項 2 3 記載の半導体装置の製造方法。

【請求項 2 5】

メモリセルトランジスタ領域及び選択トランジスタ領域を有するメモリ部並び

に低電圧トランジスタ領域及び高耐圧トランジスタ領域を有する周辺回路部の半導体基板上に第 1 ゲート絶縁膜を形成する工程と、

前記周辺回路部の低電圧トランジスタ領域及び前記メモリ部の前記第 1 ゲート絶縁膜を除去する工程と、

シリコン窒化膜を含む多層膜からなる第 2 ゲート絶縁膜を形成する工程と、

前記第 2 ゲート絶縁膜形成後に前記メモリ部及び周辺回路部の前記半導体基板中にトレンチ溝を形成する工程と、

前記トレンチ溝中に絶縁物を埋め込み、シャロートレンチ素子分離領域を形成する工程と、

前記メモリ部の選択トランジスタ領域及び前記周辺回路部の第 2 ゲート絶縁膜の内、シリコン窒化膜を除去した後、熱酸化により前記周辺回路部の低電圧トランジスタゲート絶縁膜及び高耐圧トランジスタゲート絶縁膜を形成する工程と、

前記メモリセルトランジスタのゲート絶縁膜、選択トランジスタのゲート絶縁膜、低電圧トランジスタゲート絶縁膜及び高耐圧トランジスタゲート絶縁膜、並びに前記シャロートレンチ素子分離領域上にゲート電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2 6】

半導体基板と、

この半導体基板中に形成された実質上 4 辺を有する第 1 導電型の素子領域と、  
前記素子領域の対向する 2 辺にそれぞれ形成され、第 1 の導電型と逆導電型のソース電極及びドレイン電極と、

前記素子領域上に設けられた第 1 のゲート絶縁膜と、

この第 1 のゲート絶縁膜上に設けられ、データの記憶が可能であり、かつ電氣的に書き込み消去可能な絶縁膜を有し、かつ、ソース電極及びドレイン電極が形成されていない 2 辺で 2 つの端を有する電荷蓄積領域と、

この電荷蓄積領域の上に設けられ、下面における前記ソース電極及びドレイン電極が形成されていない対向する 2 辺の距離が、前記電荷蓄積領域の上面における前記ソース電極及びドレイン電極が形成されていない 2 辺での 2 つの端の距離よりも小さく形成された少なくとも 1 つのゲート電極とを具備することを特徴と

する半導体装置。

【請求項 2 7】

前記ゲート電極下面でのソース電極及びドレイン電極が形成されていない対向する 2 辺の距離は、前記電荷蓄積領域の前記 2 つの端の距離よりも 1 0 n m から 1 0 0 n m の範囲で小さいことを特徴とする請求項 2 6 記載の半導体装置。

【請求項 2 8】

前記電荷蓄積領域の前記 2 つの端の距離が、前記第 1 のゲート絶縁膜に対向した面において、ソース電極及びドレイン電極が形成されていない前記素子領域の 2 辺の距離よりも長いことを特徴とする請求項 2 6 記載の半導体装置。

【請求項 2 9】

前記電荷蓄積領域の前記 2 つの端の距離が、前記第 1 のゲート絶縁膜に対向した面において、ソース電極及びドレイン電極が形成されていない前記素子領域の 2 辺の距離よりも 1 n m から 3 0 n m の範囲で長いことを特徴とする請求項 2 6 記載の半導体装置。

【請求項 3 0】

半導体基板と、

この半導体基板中に形成された実質上 4 辺を有する第 1 導電型の素子領域と、

この素子領域上に設けられた第 1 のゲート絶縁膜と、

前記半導体基板中に形成された第 1 導電型と逆の導電型のソース電極及びドレイン電極と、

前記第 1 のゲート絶縁膜上に設けられ、データの記憶が可能であり、かつ電気的に書き込み消去可能な絶縁膜を有し、対向する 2 辺で 2 つの端を有し、少なくとも前記ソース電極及びドレイン電極間が導通状態において、前記素子形成領域上を電流が流れる方向を第 1 の方向とし、前記半導体基板面上で第 1 の方向と直交する方向を第 2 の方向とすると、その上面において、前記第 2 の方向における 2 つの端を有する電荷蓄積領域と、

この電荷蓄積領域の上に設けられ、下面における前記第 2 の方向における 2 辺の長さが、前記電荷蓄積領域の上面での前記第 2 の方向における前記電荷蓄積領域の 2 つの端の間の距離よりも短く形成された少なくとも 1 つのゲート電極と、

前記ソース電極及びドレイン電極にそれぞれ接続され、この間の導通状態又は、遮断状態であるかによって、前記電荷蓄積領域のデータ記憶状態を検知する少なくとも2つの電流端子とを具備することを特徴とする半導体装置。

【請求項 3 1】

前記電荷蓄積領域に対向した面における前記ゲート電極の前記第2の方向における2辺の長さが、前記第2の方向における前記電荷蓄積領域の前記2つの端の長さよりも10 nmから100 nmの範囲で短いことを特徴とする請求項30記載の半導体装置。

【請求項 3 2】

前記第2の方向における前記電荷蓄積領域の前記2つの端の長さが、前記素子領域の前記第1のゲート絶縁膜に対向した面において、前記第2の方向における素子領域の長さよりも長いことを特徴とする請求項30記載の半導体装置。

【請求項 3 3】

前記第2の方向における前記電荷蓄積領域の前記2つの端の長さが、前記素子領域の前記第1のゲート絶縁膜に対向した面において、前記第2の方向における素子領域の長さよりも1 nmから30 nmの範囲で長いことを特徴とする請求項30記載の半導体装置。

【請求項 3 4】

半導体基板と、

この半導体基板中に形成された素子領域と、

この素子領域上に設けられた第1のゲート絶縁膜と、

少なくとも1つのゲート電極と、

このゲート電極の少なくとも一部に接して、前記半導体基板上に形成された素子分離領域と、

前記第1のゲート絶縁膜上に設けられ、データの記憶が可能であり、かつ電氣的に書き込み消去可能な絶縁膜を有し、端部が前記素子分離領域中に位置する電荷蓄積領域とを具備することを特徴とする半導体装置。

【請求項 3 5】

前記電荷蓄積領域の端部が、前記素子分離領域中に0.5 nmから15 nmの

範囲で進入していることを特徴とする請求項 3 4 記載の半導体装置。

【請求項 3 6】

前記ゲート電極は、前記第 1 の方向に実質的に平行な 2 辺と、第 2 の方向に実質的に平行な 2 辺とを有する矩形領域で形成された下部導電体と、

前記下部導電体の対向する 2 辺のいずれかを共有し、隣接する複数のゲート電極中の下部導電体を電氣的に接続する上部導電体とを有することを特徴とする請求項 2 6 乃至 3 5 いずれか 1 項記載の半導体装置。

【請求項 3 7】

前記ゲート電極の側壁部に形成された側壁絶縁膜をさらに具備し、かつ、この側壁絶縁膜の前記ゲート電極に接する側の面を第 1 の側面とすると、前記ゲート電極に対向する面において、前記電荷蓄積絶縁膜の端部が前記第 1 の側面よりも前記ゲート電極が形成されていない側まで形成されていることを特徴とする請求項 2 6 乃至 3 6 いずれか 1 項記載の半導体装置。

【請求項 3 8】

前記電荷蓄積領域の上に設けられた第 2 のゲート絶縁膜をさらに有し、この第 2 のゲート絶縁膜上に前記ゲート電極が形成されていることを特徴とする請求項 2 6 乃至 3 7 いずれか 1 項記載の半導体装置。

【請求項 3 9】

半導体基板と、

この半導体基板中に形成された実質上 4 辺を有する第 1 導電型の素子領域と、

この素子領域上に設けられた第 1 のゲート絶縁膜と、

この第 1 ゲート絶縁膜上に設けられ、データの記憶が可能であり、かつ、電氣的に書き込み消去可能な絶縁膜を有する電荷蓄積領域と、

この電荷蓄積領域上に設けられた少なくとも 1 つのゲート電極と、

前記素子領域の対向する 2 辺にそれぞれ形成され、第 1 の導電型と逆の導電型のソース電極及びドレイン電極と、

前記電荷蓄積領域と前記ゲート電極間に配置され、前記ソース電極及びドレイン電極が形成されていない 2 辺において、前記電荷蓄積領域に対向した面における前記ゲート電極中央部とと比較して、前記電荷蓄積領域に対向した面における

前記ゲート電極端下で厚く形成されている第2ゲート絶縁膜とを具備することを特徴とする半導体装置。

【請求項40】

ソース電極及びドレイン電極が形成されていない2辺において、前記第2ゲート絶縁膜の厚さが、前記電荷蓄積領域に対向した面におけるゲート電極中央部下と比較して前記電荷蓄積領域に対向した面における前記ゲート電極端下で0.5 nmから50 nmの範囲の厚さ分厚く形成されていることを特徴とする請求項39記載の半導体装置。

【請求項41】

半導体基板と、

この半導体基板中に形成された実質上4辺を有する第1の導電型の素子領域と、

この素子領域上に設けられた第1のゲート絶縁膜と、

この第1のゲート絶縁膜上に設けられ、データの記憶が可能であり、かつ、電氣的に書き込み消去可能な絶縁膜よりなり、対向する2辺で2つの端を有する電荷蓄積領域と、

この電荷蓄積領域上に設けられた少なくとも1つのゲート電極と、

前記半導体基板中に設けられた第1の導電型と逆の導電型のソース電極及びドレイン電極と、

このソース電極及びドレイン電極にそれぞれ設けられ、前記ソース電極及びドレイン電極間の導通状態と遮断状態によって、前記電荷蓄積領域の記憶状態を検知する電流端子と、

前記電荷蓄積領域と前記ゲート電極間に配置され、少なくとも前記電流端子間が導通状態において、素子領域上を電流が流れる方向を第1の方向とし、前記半導体基板面上で第1の方向と直交する方向を第2の方向とすると、この第2の方向において、前記電荷蓄積領域に対向した面におけるゲート電極中央部下と比較して前記電荷蓄積領域に対向した面における前記ゲート電極端下で厚い第2のゲート絶縁膜とを具備することを特徴とする半導体装置。

【請求項42】

前記第 2 の方向において、前記第 2 ゲート絶縁膜の厚さが、前記電荷蓄積領域に対向した面におけるゲート電極中央部下と比較して前記電荷蓄積領域に対向した面における前記ゲート電極端下で、0.5 nm から 50 nm の範囲の厚さだけ厚いことを特徴とする請求項 4 1 記載の半導体装置。

【請求項 4 3】

前記第 1 のゲート絶縁膜の厚さが前記電荷蓄積領域に対向した面におけるゲート電極中央部下と比較して、前記電荷蓄積領域に対向した面における前記ゲート電極端下で厚いことを特徴とする請求項 3 9 乃至 4 2 いずれか 1 項記載の半導体装置。

【請求項 4 4】

前記ゲート電極は、それぞれが積層方向に下部導電体、上部導電体となっている少なくとも 2 層の積層導電体領域を有し、この下部導電体は、前記第 1 の方向に実質的に平行な 2 辺と、前記第 2 の方向に実質的に平行な 2 辺を有する矩形領域で形成され、

前記上部導電体は、前記下部導電体の対向する 2 辺のいずれかを共有し、隣接する複数の下部導電体を電氣的に接続することを特徴とする請求項 3 9 乃至 4 3 いずれか 1 項記載の半導体装置。

【請求項 4 5】

前記ゲート電極の少なくとも一部に隣接して配置され、前記ゲート電極、第 1 のゲート絶縁膜、電荷蓄積絶縁膜、又は第 2 のゲート絶縁膜の少なくとも 1 つに対して、自己整合的に形成された素子分離溝を有する素子分離領域をさらに具備することを特徴とする請求項 2 6 乃至 4 4 いずれか 1 項記載の半導体装置。

【請求項 4 6】

前記半導体基板上に前記ゲート電極が複数個配置され、隣接する前記ゲート電極間で、前記電荷蓄積層がそれぞれ分離されていることを特徴とする請求項 2 6 乃至 4 5 いずれか 1 項記載の半導体装置。

【請求項 4 7】

前記第 1 ゲート電極の少なくとも一部に隣接して配置され、前記半導体基板中に設けられた高濃度不純物領域を有する素子分離領域をさらに具備することを特

徴とする請求項 2 6 乃至 4 4、又は 4 6 いずれか 1 項記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に係り、特にゲート絶縁膜の高特性が必要な微細な半導体装置及びその製造方法に関わる。

【0002】

【従来の技術】

電氣的に書き込み消去可能な不揮発性半導体記憶装置の一種として、シリコン窒化膜中に電荷をトラップさせることでデータを記憶する、いわゆるMONOS（金属—酸化シリコン膜—窒化シリコン膜—酸化シリコン膜—半導体）型メモリセルが知られている。MONOS型メモリは浮遊ゲート型メモリと比較して低電圧で書き込み消去動作が可能であり、また、積層ゲート構造が必要な浮遊ゲート型メモリセルに対して、単層ゲート構造のMONOS型メモリセルはゲートのアスペクト比が小さいため、素子の微細化に適しているという特徴がある。

【0003】

図 9 4 に従来のLOCOS型素子分離によるMONOSメモリセルの断面図を示す。

【0004】

図 9 4 において、半導体基板 1 0 0 上にメモリセルのトンネル絶縁膜 1 0 1 が形成され、このトンネル絶縁膜を挟みこむようにトンネル絶縁膜 1 0 1 よりも膜厚が厚い素子分離領域 1 0 2 が形成されている。これら、素子分離領域 1 0 2、トンネル絶縁膜 1 0 1 表面上にシリコン窒化膜からなる電荷蓄積層 1 0 3 が形成されている。この電荷蓄積層 1 0 3 上には、バリア絶縁膜 1 0 4 が形成されている。さらにこのバリア絶縁膜 1 0 4 上には、ゲート電極 1 0 5 が形成されている。

【0005】

ところで、微細化に伴って、従来のLOCOS型素子分離に替わってSTIによる素子分離が重要な技術となっている。特に浮遊ゲート型不揮発性メモリに



適した素子分離法として、自己整合STIが提案されている(「A 0.67  $\mu\text{m}$ <sup>2</sup>SELF-ALIGNED SHALLOW TRENCH ISOLATION CELL(SA-STI CELL) FOR 3V-only 25 Mbit NAND EEPROMs」IEDM Tech. Dig. 1994 pp61-64)。ここでは、浮遊ゲート下に形成されたゲート絶縁膜の厚さがゲート電極端にて他の部分よりも厚く形成されている。自己整合STIでは電荷蓄積層である浮遊ゲートに対して自己整合的に素子分離溝を形成することによって、ゲート電極の一部が素子分離端に入り込むことによる素子分離端での電界集中を防ぎ、その結果、セル特性のばらつきが改善され、高信頼性化が実現できる。

## 【0006】

なお、特開平4-12573号公報には、MNOS型不揮発性半導体記憶装置のサイドウォーク現象を防止するようにゲート絶縁膜を周辺の選択酸化膜との境界領域において、全て溝部内に存在させた構成が第1図及び第3図(a)などに記載されている。

## 【0007】

なお、MONOSのように電荷蓄積層として絶縁膜を用いた不揮発性メモリはリードディスタート特性が劣ることが特開平11-330277号公報の図4などに記載されている。

## 【0008】

## 【発明が解決しようとする課題】

以上のような従来の半導体装置では、以下の課題が生じる。

## 【0009】

素子分離領域を形成する熱酸化の影響により、素子分離エッジ部106で酸化膜が厚くなりこの領域で書き込み消去特性が悪くなる。すなわち、素子分離エッジ部で絶縁膜厚が厚くなることから、電界が弱くなり、閾値が低くなる。

## 【0010】

MONOS構造では電荷を絶縁膜であるシリコン窒化膜中にトラップさせるため、電荷蓄積層中をキャリアが移動しない。このため書き込みパルスを与えた場合、チャネルエッジの部分だけしきい値が低いまま取り残されることになる。このことはトランジスタ特性に対して、サブスレッショルドリークまたはハンプ(h

ump)として観測される。サイドウォーク(sidewalk)と呼ばれるこの現象はMONOSメモリセルの書き込み消去ウィンドウを狭くするので問題である。

#### 【0011】

また、上記特開平4-12573号公報では、半導体基板中に溝を設け、溝中に絶縁膜が設けられているが、その膜厚は素子分離領域近辺で厚くなっており、電界集中が発生し、制御特性が悪化してしまう。

#### 【0012】

本発明の目的は以上のような従来技術の課題を解決することにある。

#### 【0013】

特に、本発明の目的は、素子分離領域付近でのゲート絶縁膜の電気的特性と素子分離領域付近以外でのゲート絶縁膜の電気的特性とが等しい半導体装置及びその製造方法を提供することにある。さらに、本発明の別の目的は、素子領域を定義する4辺のうちソース・ドレイン間電流の流れる方向と平行な2辺のエッジでの電荷保持特性劣化を抑制した信頼性の高い半導体装置を提供することである。さらに、本発明の別の目的は、ゲート電極のエッジ部での書き込み消去特性やデータ保持特性のばらつき並びに閾値変動を抑制する半導体装置を提供することである。

#### 【0014】

##### 【課題を解決するための手段】

上記目的を達成するために、本発明は、半導体基板と、この半導体基板中に設けられた溝部中に形成されたシャロートレンチ素子分離領域と、前記半導体基板中に形成され、間にはさむ前記半導体基板表面をチャンネルとする1対のソース・ドレイン領域と、前記半導体基板上に形成され、その膜厚が前記チャンネルの中央部と前記シャロートレンチ素子分離領域と接する部分とで等しいゲート絶縁膜と、このゲート絶縁膜上に形成されたゲート電極とを有する半導体装置である。

#### 【0015】

本発明の別の特徴は、半導体基板と、この半導体基板中に設けられた溝部中に形成された第1シャロートレンチ素子分離領域と、前記半導体基板中に形成され、間にはさむ前記半導体基板表面を第1チャンネルとする第1の1対のソース・ド

レイン領域と、前記半導体基板上に形成され、その膜厚が前記第 1 チャネル中央部と前記第 1 シャロートレンチ素子分離領域と接する部分とで等しい第 1 ゲート絶縁膜と、この第 1 ゲート絶縁膜上に形成された第 1 ゲート電極と、前記半導体基板中に設けられた溝部中に形成された第 2 シャロートレンチ素子分離領域と、前記半導体基板中に形成され、間にはさむ前記半導体基板表面を第 2 チャネルとする第 2 の 1 対のソース・ドレイン領域と、前記半導体基板上に形成され、その膜厚が前記第 2 チャネル中央部と前記第 2 シャロートレンチ素子分離領域と接する部分とで等しい第 2 ゲート絶縁膜と、この第 2 ゲート絶縁膜上に形成された第 2 ゲート電極とを有する半導体装置である。

## 【 0 0 1 6 】

本発明の別の特徴は、半導体基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜形成後に前記半導体基板中にトレンチ溝を形成する工程と、前記トレンチ溝中に絶縁物を埋め込み、シャロートレンチ素子分離領域を形成する工程と、前記ゲート絶縁膜及び前記シャロートレンチ素子分離領域上にゲート電極を形成する工程とを有する半導体装置の製造方法である。

## 【 0 0 1 7 】

本発明の別の特徴は、半導体基板上に第 1 絶縁膜を形成する工程と、この第 1 絶縁膜上に第 2 絶縁膜を形成する工程と、この第 2 絶縁膜、前記第 1 絶縁膜、及び前記半導体基板中にトレンチ溝を形成する工程と、このトレンチ溝中に絶縁物を埋め込み、シャロートレンチ素子分離領域を形成する工程と、前記第 1 絶縁膜の上表面よりも前記シャロートレンチ素子分離領域が突出するように、前記第 2 絶縁膜を除去する工程と、露出した前記第 1 絶縁膜及び前記シャロートレンチ素子分離領域上にゲート電極を形成する工程とを有する半導体装置の製造方法である。

## 【 0 0 1 8 】

本発明の別の特徴は、メモリ部及び周辺回路部の半導体基板上にシリコン窒化膜を含む多層膜からなる第 1 ゲート絶縁膜を形成する工程と、前記第 1 ゲート絶縁膜形成後に前記メモリ部及び周辺回路部の前記半導体基板中にトレンチ溝を形成する工程と、前記トレンチ溝中に絶縁物を埋め込み、シャロートレンチ素子分

離領域を形成する工程と、前記周辺回路部の第1ゲート絶縁膜の内、シリコン窒化膜を除去した後、熱酸化により周辺回路部の第2ゲート絶縁膜を形成する工程と、前記メモリ部及び周辺回路部の前記第1ゲート絶縁膜、第2ゲート絶縁膜、及び前記シャロートレンチ素子分離領域上にゲート電極を形成する工程とを有する半導体装置の製造方法である。

## 【 0 0 1 9 】

本発明の別の特徴は、高耐圧トランジスタ領域及び低電圧トランジスタ領域を有する周辺回路部並びにメモリ部の半導体基板上に第1ゲート絶縁膜を形成する工程と、前記周辺回路部の低電圧トランジスタ領域及び前記メモリ部の前記第1ゲート絶縁膜を除去する工程と、シリコン窒化膜を含む多層膜からなる第2ゲート絶縁膜を全面に形成する工程と、前記第2ゲート絶縁膜形成後に前記メモリ部及び周辺回路部の前記半導体基板中にトレンチ溝を形成する工程と、前記トレンチ溝中に絶縁物を埋め込み、シャロートレンチ素子分離領域を形成する工程と、前記周辺回路部の第2ゲート絶縁膜の内、シリコン窒化膜を除去した後、熱酸化により前記周辺回路部の低電圧トランジスタゲート絶縁膜及び高耐圧トランジスタゲート絶縁膜を形成する工程と、前記メモリ部の前記ゲート絶縁膜、低電圧トランジスタゲート絶縁膜及び高耐圧トランジスタゲート絶縁膜、並びに前記シャロートレンチ素子分離領域上にゲート電極を形成する工程とを有する半導体装置の製造方法である。

## 【 0 0 2 0 】

本発明の別の特徴は、メモリセルトランジスタ領域及び選択トランジスタ領域を有するメモリ部並びに低電圧トランジスタ領域及び高耐圧トランジスタ領域を有する周辺回路部の半導体基板上に第1ゲート絶縁膜を形成する工程と、前記周辺回路部の低電圧トランジスタ領域及び前記メモリ部の前記第1ゲート絶縁膜を除去する工程と、シリコン窒化膜を含む多層膜からなる第2ゲート絶縁膜を形成する工程と、前記第2ゲート絶縁膜形成後に前記メモリ部及び周辺回路部の前記半導体基板中にトレンチ溝を形成する工程と、前記トレンチ溝中に絶縁物を埋め込み、シャロートレンチ素子分離領域を形成する工程と、前記メモリ部の選択トランジスタ領域及び前記周辺回路部の第2ゲート絶縁膜の内、シリコン窒化膜を

除去した後、熱酸化により前記周辺回路部の低電圧トランジスタゲート絶縁膜及び高耐圧トランジスタゲート絶縁膜を形成する工程と、前記メモリセルトランジスタのゲート絶縁膜、選択トランジスタのゲート絶縁膜、低電圧トランジスタゲート絶縁膜及び高耐圧トランジスタゲート絶縁膜、並びに前記シャロートレンチ素子分離領域上にゲート電極を形成する工程とを有する半導体装置の製造方法である。

## 【 0 0 2 1 】

本発明の別の特徴は、半導体基板と、この半導体基板中に形成された実質上4辺を有する第1導電型の素子領域と、前記素子領域の対向する2辺にそれぞれ形成され、第1の導電型と逆導電型のソース電極及びドレイン電極と、前記素子領域上に設けられた第1のゲート絶縁膜と、この第1のゲート絶縁膜上に設けられ、データの記憶が可能であり、かつ電氣的に書き込み消去可能な絶縁膜を有し、かつ、ソース電極及びドレイン電極が形成されていない2辺で2つの端を有する電荷蓄積領域と、この電荷蓄積領域の上に設けられ、下面における前記ソース電極及びドレイン電極が形成されていない対向する2辺の距離が、前記電荷蓄積領域の上面における前記ソース電極及びドレイン電極が形成されていない2辺での2つの端の距離よりも小さく形成された少なくとも1つのゲート電極とを具備する半導体装置である。

## 【 0 0 2 2 】

本発明の別の特徴は、半導体基板と、この半導体基板中に形成された実質上4辺を有する第1導電型の素子領域と、この素子領域上に設けられた第1のゲート絶縁膜と、前記半導体基板中に形成された第1導電型と逆の導電型のソース電極及びドレイン電極と、前記第1のゲート絶縁膜上に設けられ、データの記憶が可能であり、かつ電氣的に書き込み消去可能な絶縁膜を有し、対向する2辺で2つの端を有し、少なくとも前記ソース電極及びドレイン電極間が導通状態において、前記素子形成領域上を電流が流れる方向を第1の方向とし、前記半導体基板面上で第1の方向と直交する方向を第2の方向とすると、その上面において、前記第2の方向における2つの端を有する電荷蓄積領域と、この電荷蓄積領域の上に設けられ、下面における前記第2の方向における2辺の長さが、前記電荷蓄積領

域の上面での前記第2の方向における前記電荷蓄積領域の2つの端の間の距離よりも短く形成された少なくとも1つのゲート電極と、前記ソース電極及びドレイン電極にそれぞれ接続され、この間の導通状態又は、遮断状態であるかによって、前記電荷蓄積領域のデータ記憶状態を検知する少なくとも2つの電流端子とを具備する半導体装置である。

## 【0023】

本発明の別の特徴は、半導体基板と、この半導体基板中に形成された素子領域と、この素子領域上に設けられた第1のゲート絶縁膜と、少なくとも1つのゲート電極と、このゲート電極の少なくとも一部に接して、前記半導体基板上に形成された素子分離領域と、前記第1のゲート絶縁膜上に設けられ、データの記憶が可能であり、かつ電氣的に書き込み消去可能な絶縁膜を有し、端部が前記素子分離領域中に位置する電荷蓄積領域とを具備する半導体装置である。

## 【0024】

本発明の別の特徴は、半導体基板と、この半導体基板中に形成された実質上4辺を有する第1導電型の素子領域と、この素子領域上に設けられた第1のゲート絶縁膜と、この第1ゲート絶縁膜上に設けられ、データの記憶が可能であり、かつ、電氣的に書き込み消去可能な絶縁膜を有する電荷蓄積領域と、この電荷蓄積領域上に設けられた少なくとも1つのゲート電極と、前記素子領域の対向する2辺にそれぞれ形成され、第1の導電型と逆の導電型のソース電極及びドレイン電極と、前記電荷蓄積領域と前記ゲート電極間に配置され、前記ソース電極及びドレイン電極が形成されていない2辺において、前記電荷蓄積領域に対向した面における前記ゲート電極中央部下と比較して、前記電荷蓄積領域に対向した面における前記ゲート電極端下で厚く形成されている第2ゲート絶縁膜とを具備する半導体装置である。

## 【0025】

本発明の別の特徴は、半導体基板と、この半導体基板中に形成された実質上4辺を有する第1の導電型の素子領域と、この素子領域上に設けられた第1のゲート絶縁膜と、この第1のゲート絶縁膜上に設けられ、データの記憶が可能であり、かつ、電氣的に書き込み消去可能な絶縁膜よりなり、対向する2辺で2つの端

を有する電荷蓄積領域と、この電荷蓄積領域上に設けられた少なくとも1つのゲート電極と、前記半導体基板中に設けられた第1の導電型と逆の導電型のソース電極及びドレイン電極と、このソース電極及びドレイン電極にそれぞれ設けられ、前記ソース電極及びドレイン電極間の導通状態と遮断状態によって、前記電荷蓄積領域の記憶状態を検知する電流端子と、前記電荷蓄積領域と前記ゲート電極間に配置され、少なくとも前記電流端子間が導通状態において、素子領域上を電流が流れる方向を第1の方向とし、前記半導体基板面上で第1の方向と直交する方向を第2の方向とすると、この第2の方向において、前記電荷蓄積領域に対向した面におけるゲート電極中央部下と比較して前記電荷蓄積領域に対向した面における前記ゲート電極端下で厚い第2のゲート絶縁膜とを具備する半導体装置である。

## 【 0 0 2 6 】

## 【発明の実施の形態】

次に、図面を参照して、本発明の実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には、同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は、現実のものとは異なる。従って、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれている。

## 【 0 0 2 7 】

## (第1の実施の形態)

フローティングゲート型のフラッシュメモリにおいて、セルフアラインSTI (Self-Aligned Shallow Trench Isolation:SA-STI)プロセスによってMONOSセルを形成した場合のプロトタイプを図2に示す。

## 【 0 0 2 8 】

ここでは、半導体基板1上にシャロートレンチ素子分離領域2が複数形成されている。隣接する2つのシャロートレンチ素子分離領域2の間の半導体基板1表面付近には、シリコン酸化膜からなるトンネル絶縁膜3が形成されている。このトンネル絶縁膜3上にはシリコン窒化膜からなる電荷蓄積層4が形成されている

。この電荷蓄積層 4 上には、シリコン酸化膜からなるブロック絶縁膜 5 が形成されている。このブロック絶縁膜 5 は同じ材料であるシャロートレンチ素子分離領域 2 と一体となっている。このブロック絶縁膜 5 及びシャロートレンチ素子分離領域 2 上にはゲート電極 6 が形成されている。

## 【 0 0 2 9 】

この場合、このゲート電極 6 はシャロートレンチ素子分離領域 2 には含まれた部分が先に形成された後に、シャロートレンチ素子分離領域が形成され、その後でシャロートレンチ素子分離領域 2 上に追加でゲート電極 6 が形成されている。すなわち、同ゲート電極であっても場所により別工程で形成されているため、自然酸化膜がゲート絶縁膜中に含まれている。

## 【 0 0 3 0 】

このような構成を採用することにより、LOCOS 型素子分離を用いた MONOS に比べて、サイドウォーク現象を改善できる。また、シャロートレンチ素子分離領域 2 上に電荷蓄積層 4 が形成されていないことで、従来生じていた素子分離領域上の電荷蓄積層 4 を介して隣接するセルへ電荷が移動することによるデータ消失を防ぐことができる。

## 【 0 0 3 1 】

このように SA-STI を用いた場合、トンネル絶縁膜 3 のゲートエッジ（シャロートレンチ素子分離領域 2 に挟まれたゲート電極 6 の端部）での厚膜化はほとんどない。しかし、トレンチ形成後に欠陥回復のために半導体表面を酸化するときに、ゲート電極 6 を構成する多結晶シリコンにバースピークが入り、シャロートレンチ素子分離領域のエッジでブロック絶縁膜 5 が厚膜化してしまい、バースピーク部 7 が生じてしまう。すなわち、図 3 にシャロートレンチ素子分離領域 2 とゲート電極 6 の接触部分の拡大図を示す。

## 【 0 0 3 2 】

さらにゲート電極 6 を構成する多結晶シリコンが酸化によって後退するので、シャロー素子分離領域 2 が突出した突出部 8 が形成される。このようにシャロー素子分離領域 2 で挟まれたゲート電極 6 から、電荷蓄積層がゲート電極 6 の幅よりも大きくなり、電荷蓄積層が図 2 の断面でより大きい長さを有し、突出部 9 が



形成される状態となる。

【0033】

ここで、ゲート電極6に電圧を印加してもゲート電極6から図2中の突出部9には書き込み/消去に十分な電界がかからないため、この領域9の閾値は制御できない。

【0034】

すなわち、図4に半導体記憶装置での書き込み状態のセルのサブスレッショルド特性を示す。①で表したのはチャンネル中央部の特性で、これに対して②で表したチャンネルエッジ部（素子分離領域との境界部）の特性は書き込み閾値が中央部よりも低いことに特徴がある。これはエッジ部においてゲート絶縁膜が厚膜化しているために書き込み電界が弱まり、書き込み電流が減少することに起因する。このようなセルのセル全体としてのサブスレッショルド特性は図5中に③で示すように低電圧部にこぶ(hump)を持ったものとなる。

【0035】

図6は書き込み状態、消去状態の両方のサブスレッショルド特性をプロットしたものである。書き込み状態の特性は④で示され、消去状態の特性は⑤で示される。消去時にはチャンネルエッジ部の閾値がチャンネル中央部の閾値よりも高いために、セル全体としての特性には影響しない。結局、セル特性におけるサイドウォーク減少の影響は書き込み特性の悪化として現れる。

【0036】

このSA-STIプロセスを用いたプロトタイプにおける課題を解決する実施の形態を以下の通り説明する。

【0037】

図1に本実施の形態の半導体装置のメモリ部のメモリセルトランジスタ及び選択トランジスタのロウ方向の断面図を示す。半導体基板1上にトンネル絶縁膜10が例えば膜厚約0.5nm~5nm程度のシリコン酸化膜又はシリコン酸窒化膜で形成されている。ここで、半導体基板1はその中に半導体基板と逆導電型のウエルが表面付近に形成されていてもよい。さらに逆導電型のウエル上にさらに半導体基板と同一導電型の別のウエルが形成されていてもよい（以下同様）。こ

のトンネル絶縁膜10上には、電荷蓄積層11が例えば3nm～30nm程度の厚さのシリコン窒化膜やシリコン酸窒化膜、 $Ta_2O_5$ 、 $TiO_2$ 、 $Al_2O_3$ 等の絶縁膜で形成されている。この電荷蓄積層11上には、ブロック絶縁膜12が例えば膜厚約1nm～20nm程度のシリコン酸化膜又はシリコン酸窒化膜で形成されている。

## 【0038】

このトンネル酸化膜10、電荷蓄積層11及びブロック絶縁膜12は例えば深さ約20nm～500nm程度のシリコン酸化膜などからなるシャロートレンチ素子分離領域13により互いに分断されている。このシャロートレンチ素子分離領域13及びブロック絶縁膜12上には、メモリセルの第1ゲート電極14が例えば多結晶シリコンで、膜厚約5nm～500nmで第2ゲート電極15が、例えばポリサイドや金属で形成されている。ここで、ポリサイドは例えば、 $WSi$ 、 $NiSi$ 、 $MOSi$ 、 $TiSi$ 、 $CoSi$ などが適用できる。

## 【0039】

この第2ゲート電極15上には、シリコン窒化膜などによりゲートキャップ絶縁膜16が形成されている。このゲートキャップ絶縁膜16上には、シリコン窒化膜などによりバリア絶縁膜31が形成されている。このバリア絶縁膜31上には、層間膜17が形成されている。この層間膜17上部表面付近にはビット線18が埋め込まれている。このビット線18及び層間膜17上には保護膜19が形成されている。

## 【0040】

ここで、2つのシャロートレンチ素子分離領域13ではさまれた部分の第1ゲート電極14下方の半導体基板1の表面はチャネルを形成する。2つのシャロートレンチ素子分離領域13によってはさまれたトンネル酸化膜10、電荷蓄積層11及びブロック絶縁膜12はその膜厚が、チャネル中央部付近と、シャロートレンチ素子分離領域13に接する部分とで実質的に等しく形成されている。なお、少なくとも第1ゲート14下のブロック絶縁膜12の膜厚がチャネル中央部付近と、シャロートレンチ素子分離領域13に接する部分とで実質的に等しく形成されている。

## 【 0 0 4 1 】

また、半導体基板 1 上のトンネル酸化膜 1 0 の膜厚がチャネル中央部付近と、シャロートレンチ素子分離領域 1 3 に接する部分とで実質的に等しく形成されている。また、場合により、半導体基板 1 上にトンネル酸化膜 1 0 が形成され、その上に電荷蓄積層 1 1 が形成され、この上に第 1 ゲート 1 4 が直接形成されている構造でもよい。また、シャロートレンチ素子分離領域 1 3 で挟まれたトンネル酸化膜 1 0、電荷蓄積層 1 1 及びブロック絶縁膜 1 2 はそれぞれのロウ方向の長さが実質上等しく形成されていて、シャロートレンチ素子分離領域 1 3 の側面と同一水平面で接触している。また、第 1 ゲート電極 1 4 もシャロートレンチ素子分離領域 1 3 では含まれた部分のロウ方向の長さがシャロートレンチ素子分離領域 1 3 では含まれたトンネル酸化膜 1 0、電荷蓄積層 1 1 及びブロック絶縁膜 1 2 のロウ方向の長さを実質上等しくなっている。

## 【 0 0 4 2 】

ここで、シャロートレンチ素子分離領域 1 3 上には、第 1 ゲート 1 4 が直接、形成されていて、トンネル酸化膜 1 0、電荷蓄積層 1 1 及びブロック絶縁膜 1 2 を間に介在させてはいない。そのため、電荷蓄積層 1 1 を介して隣接するゲートへ電荷が移動することが防止される。また、シャロートレンチ素子分離領域 1 3 の上端部には窪みであるノッチが生じる場合もある。

## 【 0 0 4 3 】

次に周辺回路部の高耐圧トランジスタのロウ方向での断面が図 7 に示される。ここでは、半導体基板 1 上にゲート絶縁膜 2 0 が膜厚が例えば約 8 n m ~ 4 0 n m のシリコン酸化膜又はシリコン酸窒化膜が形成されている。半導体基板 1 上でゲート絶縁膜 2 0 を分断するようにシャロートレンチ素子分離領域 2 1 が形成されている。このシャロートレンチ素子分離領域 2 1 の深さはメモリ部のシャロートレンチ素子分離領域 1 3 の厚さよりも高耐圧トランジスタのゲート絶縁膜 2 0 の厚さからメモリ部のトンネル酸化膜 1 0 の厚さを差し引いた分だけ、浅く形成されている。

## 【 0 0 4 4 】

シャロートレンチ素子分離領域 2 1 及びゲート絶縁膜 2 0 上にはメモリ部の第

1ゲート電極14と同じ組成で、ほぼ同じ膜厚の第1ゲート電極22が形成されている。この第1ゲート電極22上には、メモリ部の第2ゲート電極15と同じ組成で、ほぼ同じ膜厚の第2ゲート電極23が形成されている。この第2ゲート電極23上には、メモリ部のゲートキャップ絶縁膜16と同じ組成で、ほぼ同じ膜厚のゲートキャップ絶縁膜24が形成されている。このゲートキャップ絶縁膜24上には、図1に示される通り、バリア絶縁膜31や層間膜17などが形成されているが図示は省略されている。

## 【0045】

ここで、ゲート絶縁膜20はその膜厚がシャロートレンチ素子分離領域21と接触する部分と、チャネル中央部とでそれぞれほぼ等しく形成されている。すなわち、従来例やプロトタイプのようにシャロートレンチ素子分離領域と接触する部分のゲート絶縁膜が他の部分よりも厚く形成されることはない。

## 【0046】

また、シャロートレンチ素子分離領域21で挟まれたゲート絶縁膜20は、ロウ方向の長さが、第1ゲート電極22がシャロートレンチ素子分離領域21で挟まれた部分のロウ方向の長さを実質上等しくなっている。また、シャロートレンチ素子分離領域21の上端部には窪みであるノッチが生じている。このノッチはメモリ部のノッチよりもその窪み深さが大きく形成されている。

## 【0047】

次に周辺部の低電圧トランジスタのロウ方向での断面が図8に示される。ここでは、半導体基板1上にゲート絶縁膜25が膜厚が例えば約0.5nm~10nmのシリコン酸化膜又はシリコン酸窒化膜として形成されている。半導体基板1上でゲート絶縁膜25を分断するようにシャロートレンチ素子分離領域26が形成されている。このシャロートレンチ素子分離領域26の厚さはメモリ部のシャロートレンチ素子分離領域13の深さとほぼ等しく形成されている。

## 【0048】

シャロートレンチ素子分離領域26及びゲート絶縁膜25上にはメモリ部の第1ゲート電極14と同じ組成で、ほぼ同じ膜厚の第1ゲート電極27が形成されている。この第1ゲート電極27上には、メモリ部の第2ゲート電極15と同じ

組成で、ほぼ同じ膜厚の第2ゲート電極28が形成されている。この第2ゲート電極28上には、メモリ部のバリア絶縁膜16と同じ組成で、ほぼ同じ膜厚のゲートキャップ絶縁膜29が形成されている。このゲートキャップ絶縁膜29上には、図1に示される通り、バリア絶縁膜31や層間膜17などが形成されているが図示は省略されている。

## 【0049】

ここで、ゲート絶縁膜25はその膜厚がシャロートレンチ素子分離領域26と接触する部分と、チャネル中央部でそれぞれほぼ等しく形成されている。すなわち、従来例やプロトタイプのようにシャロートレンチ素子分離領域と接触する部分のゲート絶縁膜が他の部分よりも厚く形成されることはない。

## 【0050】

また、シャロートレンチ素子分離領域26で挟まれたゲート絶縁膜25は、ロウ方向の長さが、第1ゲート電極27がシャロートレンチ素子分離領域26で挟まれた部分のロウ方向の長さを実質上等しくなっている。また、シャロートレンチ素子分離領域26の上端部には窪みであるノッチが生じている。このノッチはメモリ部のノッチよりもその窪み深さが大きく形成されている。また、周辺部での半導体基板表面からシャロートレンチ上部までの高さが、メモリ部での半導体基板表面からシャロートレンチ上部までの高さよりも低く形成されている。

## 【0051】

この構造のゲート絶縁膜、ゲート電極作り分けがなされた構造のゲート絶縁膜の種類ごとの素子分離領域であるSTI深さ、STI上部エッジの凹部の大きさ、ゲート電極幅と半導体基板幅の関係、エッジの曲率半径、ゲート電極の特性が表1に示される。

## 【0052】

【表 1】

| ゲート絶縁膜                | STI 深さ<br>(基板表面から) | STI 上部エッジ<br>の<br>凹部の大きさ | ゲート電極幅と<br>Si 基板幅の関係 | エッジの<br>曲率半径 | ゲート<br>電極           |
|-----------------------|--------------------|--------------------------|----------------------|--------------|---------------------|
| ONO                   | A                  | C                        | 電極 $\geq$ 基板         | 電極 $\leq$ 基板 | p+/n+<br>作り分け<br>可能 |
| SiO <sub>2</sub> (薄膜) | A                  | D                        |                      |              |                     |
| SiO <sub>2</sub> (厚膜) | B                  | D                        |                      |              |                     |

## 【0053】

この表 1 からわかるように、素子分離領域である STI 深さはゲート絶縁膜が ONO やシリコン酸化膜の薄膜である場合の深さ A がシリコン酸化膜の厚膜である場合の深さ B に比べて、深くなっている。

## 【0054】

また、STI 上部エッジの凹部の大きさはゲート酸化膜が ONO である場合の大きさ C が、シリコン酸化膜である場合の大きさ D に比べて小さくなっている。また、ゲート絶縁膜の種類に関わらず、2 つの素子分離領域では含まれたゲート電極幅の方が同じ 2 つの素子分離領域では含まれた半導体基板幅よりも大きくなっている。

## 【0055】

さらに、ゲート電極が素子分離領域と接するエッジ部分での曲率半径は、半導体基板が素子分離領域と接するゲート電極近傍でのエッジ部分での曲率半径よりも小さくなっている。さらに、ゲート電極は P プラス電極と N プラス電極とで作り分けを行うことが可能となっている。すなわち、半導体装置中に P プラス電極のトランジスタと N プラス電極のトランジスタとが混在して、両者のゲート電極膜の膜厚が等しく形成される。

## 【0056】

ここで、図 9 には、本実施の形態のメモリ部の平面図が示される。この平面図において、“A-A” 線で示される部分の断面図が図 1 に相当する。図 9 に示さ

れるように、図中で上下方向に一定間隔を置いて、互いに平行に直線状に複数本のビット線（BL）43が配置されている。このビット線43に直交して、互いに平行に複数のデータ選択線（ワード線）40がビット線43の下方に配置されている。各ワード線40（WL0～WL31）の間には、ビット線43の下以外において、シャロートレンチ素子分離領域13が形成されて、ソース・ドレイン領域30が絶縁分離されている。ビット線43のビット線選択信号線41に隣接したソース・ドレイン領域30には、ビット線コンタクト44が形成されている。また、ビット線43の共通ソース線選択信号線42に隣接したソース、ドレイン領域30には、接地電位が与えられるソース線コンタクト45が接続されている。なお、図9中では、データ選択線40は斜線で表示され、シャロートレンチ素子分離領域13は点模様で表示され、ソース・ドレイン領域30は斜めの柵目模様で表示される。

## 【0057】

図9中に図示された構成が実際には、図9の中で上下方向に繰り返して、形成される。

## 【0058】

図10に示されるカラム方向のメモリ部の断面図では、半導体基板1上にソース・ドレイン領域30が複数設けられている。半導体基板1上には、トンネル酸化膜10、電荷蓄積層11及びブロック絶縁膜12が設けられている。このブロック絶縁膜12上にゲート形成部分において、第1ゲート電極14、第2ゲート電極15からなるゲートが複数個形成されている。このゲート形成部分を覆うゲートキャップ絶縁膜16が設けられている。ゲートキャップ絶縁膜15及び及び露出したブロック絶縁膜12を覆うバリア絶縁膜31がさらに設けられている。

## 【0059】

ビット線コンタクト44は図10中で右端部付近に形成されている。このビット線コンタクト44はビット線引き出し配線47に接続されている。このビット線引き出し配線47はビット線引き出しコンタクト46に接続され、このビット線引き出しコンタクト46はビット線18に接続されている。

## 【0060】

ソース線コンタクト45は図10中で左端部付近に形成されている。このソース線コンタクト45はソース線配線48に接続されている。

## 【0061】

各ゲート形成部、ビット線コンタクト44、ビット線引き出し配線47、ビット線引き出しコンタクト46、ソース線コンタクト45、ソース線配線48は層間膜17で被覆されている。

## 【0062】

また、ビット線18及び層間膜17は保護膜19で被覆されている。なお、半導体基板上に半導体基板と反対導電型の第1ウェルを設け、さらにその上に半導体基板と同一導電型の第2ウェルを設けるツインウェル構成としてもよい。

## 【0063】

図11は図9の一部を回路図にて表現した図である。ここでは、メモリセルのアレイ構造はNAND型で、直列に接続されたメモリセルの一端は選択トランジスタ(S1)50を介してビット線コンタクト44に接続されており、他の一端は選択トランジスタ(S2)51を介してソース線コンタクト45に接続されている。

## 【0064】

直列に接続されたメモリセルトランジスタ(M0~M31)52のそれぞれのゲート電極はデータ選択線(WL0~WL31)40に接続されている。選択トランジスタ(S1)50のゲート電極はビット線選択信号線(SSL)41に接続され、選択トランジスタ(S2)51のゲート電極は共通ソース線選択信号(GSL)42に接続されている。選択トランジスタ(S1)50と選択トランジスタ(S2)51で挟まれたメモリセルトランジスタ52の列をNANDストリングと呼び、このNANDストリングが直列に数千個接続され、このNANDストリングが並列にそれぞれ、データ選択線、ビット線、共通ソース線に接続されて、数千個接続されて半導体記憶装置が構成されると数Mビットの記憶容量の半導体記憶装置となる。

## 【0065】

また、本実施の形態では選択トランジスタ50、51はメモリセルトランジス



タ 5 2 と同じ MONOS 構造となっている。このためにメモリセルと選択トランジスタでゲート絶縁膜を作り分ける必要が無く、素子の微細化、低コスト化に適している。また、周辺回路を形成するトランジスタは MOS 構造でゲート酸化膜厚の異なる 2 種類のトランジスタが存在する。なお、周辺回路を構成するトランジスタはそのゲート酸化膜厚が 3 種類以上ある場合でも本実施の形態は適用できる。

## 【 0 0 6 6 】

本実施の形態によれば、素子分離領域端での書き込み消去特性の低下に由来するサイドウォーク現象を解決し、書き込み消去動作を高速化することが可能である。

## 【 0 0 6 7 】

以下に、本実施の形態の半導体装置の製造方法を図 1 2 乃至図 2 7 を用いて説明する。ここでは、本実施の形態の特徴が表された図 1, 7, 8 に示された断面でのロウ方向における製造方法を説明する。以下の図 1 2 乃至図 2 7 において、(a) は、メモリ部のメモリセルトランジスタ及び選択トランジスタの製造方法を示す工程図であり、(b) は周辺回路部の低電圧トランジスタの製造方法を示す工程図であり、(c) は周辺回路部の高耐圧トランジスタの製造方法を示す工程図である。

## 【 0 0 6 8 】

まず、図 1 2 (a)、(b)、(c) に示されるように半導体基板 1 上に 5 nm ~ 2 0 nm 程度の犠牲酸化膜 (図示せず) を形成した後、必要に応じてメモリ部及び周辺回路部のウエル、チャネル不純物の注入を行う (図示せず)。犠牲酸化膜を剥離した後、周辺回路部の高耐圧トランジスタのゲート絶縁膜 2 0 を半導体基板 1 全面に形成する。ここで、ゲート絶縁膜 2 0 は例えば 8 nm ~ 4 0 nm 程度のシリコン酸化膜又はシリコン酸窒化膜であるが、後の工程での膜厚の変動量から逆算して最終的に狙いの膜厚になるように調整しておく必要がある。

## 【 0 0 6 9 】

次に、図 1 3 (c) に示されるように高耐圧トランジスタ部では、全体をレジスト 5 5 で覆って、図 1 3 (a)、(b) に示されるメモリ部及び低電圧トラン

ジスタ部では、ゲート絶縁膜20を剥離する。

【0070】

次に、図14(c)に示されるようにレジスト55を除去した後、図14(a)、(b)に示されるようにMONOSメモリセルのトンネル絶縁膜10として例えば0.5nm~5nmの厚さからなるシリコン酸化膜またはシリコン酸窒化膜を形成する。

【0071】

次に、図15(a)、(b)、(c)に示されるように電荷蓄積層11を例えば3nm~30nm程度の厚さのシリコン窒化膜やシリコン酸窒化膜、 $Ta_2O_5$ 、 $TiO_2$ 、 $Al_2O_3$ 等の絶縁膜で堆積し、さらにブロック絶縁膜12として1nm~20nmのシリコン酸化膜又はシリコン酸窒化膜を形成する。

【0072】

次に、図16(a)、(b)、(c)に示されるように素子分離領域の埋め込み材を平坦化するCMP法(Chemical Mechanical Polishing)のストッパ膜56として例えば10nm~500nm程度のシリコン窒化膜を堆積する。ここで、ストッパ膜56に求められる条件として、(1)CMPのストッパ膜として素子分離領域の埋め込み材に対して十分な選択比があること、(2)ストッパ膜56を剥離する際に、MONOSのブロック絶縁膜12と十分な選択比があること、(3)素子分離領域形成のための異方性エッチングの後、基板表面を酸化してダメージ回復するが、この際に酸化されない膜であることの3点を少なくとも満たす必要がある。

【0073】

ここで、素子分離領域の埋め込み膜およびブロック絶縁膜が酸化膜である場合にはストッパ膜56としてはシリコン窒化膜が適している。さらに素子分離領域の異方性エッチングのマスク材57としてたとえばシリコン酸化膜を20nm~500nm堆積する。なお、図16(c)に示された高耐圧トランジスタ領域では、ゲート絶縁膜20が図16(a)、(b)に示されたメモリ部や低電圧トランジスタ領域のトンネル絶縁膜10と比べてその厚さが厚いため、図16(c)に示されたマスク材57の上表面が図16(a)、(b)に示されたマスク材5

7の上表面よりも高く形成されている。

【0074】

次に、図17(a), (b), (c)に示されるようにレジスト(図示せず)をパターンニングしてマスク材57を異方性エッチングで加工し、続いてストップ膜56、ブロック絶縁膜12、電荷蓄積層11、トンネル酸化膜10、ゲート絶縁膜20を加工した後に半導体基板1を所望の深さまでエッチングして素子分離溝(トレンチ溝)58, 59, 60を形成する。

【0075】

この際、図17(c)に示された領域では、半導体基板1上に形成されたゲート絶縁膜20の厚さが図17(a), (b)に示されたトンネル絶縁膜10の厚さよりも厚いために、その厚みの追加分に対応して、素子分離溝60の深さが図17(a), (b)に示された素子分離溝58, 59の深さよりも浅く形成されている。また、メモリ部ではトランジスタの大きさが周辺回路部よりも小さいため、周辺回路部の素子分離溝59, 60よりもその素子分離溝58の幅や素子分離溝の間隔が小さく形成されている。

【0076】

次に、図18(a), (b), (c)に示されるようにエッチングによって半導体基板1に入った欠陥等のダメージを回復するために、酸化雰囲気中でアニールすることで、素子分離溝内の半導体基板1表面上に例えば厚さ2nm~50nmのシリコン酸化膜61を形成する。このときに、マスク材57は酸化されず、したがってパズピークも入らないので、素子分離端におけるブロック絶縁膜12の厚膜化が起こらない。

【0077】

このようにチャネル領域中央上とシャロートレンチ素子分離領域と接する部分のブロック絶縁膜12の膜厚が等しくなる。ここで、膜厚が等しいとは、その物理的膜厚が実質的に等しいことを意味し、具体的には、素子分離端とチャネル中央での、その膜厚の差が約2nmよりは小さくなっていて、好ましくは1nm程度以下になっていることが望ましい。すなわち、膜厚の差が2nmあると、サイドウォーク現象が発生してしまう。これによって、素子分離端での書き込み消

去特性の劣化を防止することが可能となり、サイドウォーク現象のない良好なトランジスタ特性を得ることができる。

## 【0078】

次に、図19(a)、(b)、(c)に示されるように素子分離溝58、59、60をそれぞれ素子分離絶縁膜(埋め込み材)62、63、64で埋め込んだ後、CMP法によって各素子分離絶縁膜62、63、64の上表面を平坦化する。各素子分離絶縁膜はその上表面が半導体基板表面から例えば約100nm~300nm程度となるように形成する。

## 【0079】

次に、図20(a)、(b)、(c)に示されるように、例えば80~200℃に熱したリン酸によってマスク材57を剥離する。マスク材57の剥離後の表面にはブロック絶縁膜12が露出した状態となる。この際、マスク材57の剥離条件によっては、各素子分離絶縁膜62、63、64の上表面端部には、互いにほぼ等しい大きさの窪み65が形成される。

## 【0080】

次に、図21(a)に示されるようにメモリセルトランジスタ領域及び選択トランジスタ領域をレジスト66で覆った後、図21(b)、(c)に示されるように周辺回路領域のブロック絶縁膜12及び電荷蓄積層11をCDE (Chemical Dry Etching)などの等方性エッチングを用いて剥離する。

## 【0081】

この際、周辺回路部における各素子分離絶縁膜63、64の上表面端部には、互いにほぼ等しい大きさの窪み67が形成される。この窪み67は先の工程で形成された窪み65よりもその大きさが大きくなっている。窪み67の深さは例えば、5nm以上となる。また、メモリ部における素子分離絶縁膜62はこの工程においては、レジスト66で覆われているために、窪み65の大きさは変化しない。または凹部は形成されない。

## 【0082】

また、周辺回路領域の絶縁膜剥離を例えば、ブロック絶縁膜12のみをRIEなどの異方性エッチングで行ってもよい。この場合は、エッチングによって周辺

回路領域の素子分離領域の上面の半導体基板表面からの高さが、メモリ部における素子分離領域の上面の半導体基板表面からの高さよりも低くなる。この場合のゲート絶縁膜の種類ごとの素子分離領域の半導体基板表面からのSTI深さ、STI上部の半導体基板上表面からの高さ、ゲート電極幅と半導体基板の幅の大小関係、エッジの曲率半径、ゲート電極の特性について、まとめて表2に示す。

【 0 0 8 3 】

【表 2】

| ゲート絶縁膜                | STI 深さ<br>(基板表面から) | STI 上部の<br>基板からの高さ | ゲート電極幅と<br>Si 基板幅の関係 | エッジの<br>曲率半径 | ゲート<br>電極           |
|-----------------------|--------------------|--------------------|----------------------|--------------|---------------------|
| ONO                   | A                  | E                  | 電極 $\geq$ 基板         | 電極 $\leq$ 基板 | p+/n+<br>作り分け<br>可能 |
| SiO <sub>2</sub> (薄膜) | A                  | F                  |                      |              |                     |
| SiO <sub>2</sub> (厚膜) | B                  | F                  |                      |              |                     |

【 0 0 8 4 】

この表2からわかるように、素子分離領域であるSTI深さはゲート絶縁膜がONOやシリコン酸化膜の薄膜である場合の深さAがシリコン酸化膜の厚膜である場合の深さBに比べて、深くなっている。

【 0 0 8 5 】

また、STI上部の半導体基板上表面からの高さはゲート酸化膜がONOである場合の高さEが、シリコン酸化膜である場合の高さFに比べて高くなっている。また、ゲート絶縁膜の種類に関わらず、2つの素子分離領域で挟まれたゲート電極幅の方が同じ2つの素子分離領域で挟まれた半導体基板幅よりも大きくなっている。

【 0 0 8 6 】

さらに、ゲート電極が素子分離領域と接するエッジ部分での曲率半径は、半導体基板が素子分離領域と接するゲート電極近傍でのエッジ部分での曲率半径よりも小さくなっている。さらに、ゲート電極はPプラス電極とNプラス電極とで作り分けを行うことが可能となっている。

## 【 0 0 8 7 】

ブロック絶縁膜 1 2 と素子分離絶縁膜 6 2, 6 3, 6 4 に共にシリコン酸化膜を用いた場合、ブロック絶縁膜 1 2 の剥離時に素子分離絶縁膜 6 3、6 4 の上部もエッチングされて窪み 6 7 が形成されるが、素子分離絶縁膜 6 3、6 4 の側面に接する電荷蓄積層 1 1 はシリコン窒化膜を用いた場合には、エッチング時のシリコン酸化膜との選択比は十分あり、素子分離絶縁膜 6 3、6 4 の側面がサイドエッチされてディボット等が発生することは無い。

## 【 0 0 8 8 】

こうして、電荷蓄積層 1 1 の剥離後には、図 2 1 (b) に示されるように低電圧トランジスタ領域にはトンネル絶縁膜 1 0 が露出し、図 2 1 (c) に示されるように高電圧トランジスタ領域には高電圧トランジスタ用ゲート絶縁膜 2 0 が露出した状態となる。

## 【 0 0 8 9 】

次に、図 2 2 (a) に示されるようにメモリセルトランジスタ領域のレジスト 6 6 を除去した後、図 2 2 (b) に示されるように低電圧トランジスタ領域にゲート絶縁膜 2 5 を例えば 0.5 nm ~ 10 nm の膜厚のシリコン酸化膜又はシリコン酸窒化膜で形成する。

## 【 0 0 9 0 】

この際、ゲート絶縁膜 2 5 の形成を熱酸化で行うことで、メモリ部のブロック絶縁膜 1 2 や高電圧トランジスタのゲート絶縁膜 2 0 に対して同時にデンシファイ効果が得られるのでマスク材 5 7 や電荷蓄積層 1 1 の剥離時のダメージを回復することが可能で、メモリセルや周辺回路の信頼性を向上することが出来る。

## 【 0 0 9 1 】

次に、図 2 3 (a)、(b)、(c) に示されるように、ゲート電極材料 6 8, 6 9, 7 0 として、例えばドーピングしていない多結晶または非晶質のシリコンを 5 nm ~ 500 nm の膜厚となるように堆積する。

## 【 0 0 9 2 】

次に、図 2 4 (a)、(b)、(c) に示されるように、ゲート電極材料 6 8, 6 9, 7 0 上に例えば膜厚 10 nm 前後のシリコン酸化膜 7 1 を堆積する。こ

れは、この後のゲート電極への不純物注入時に不純物が電極から抜けるのを抑制するためである。

## 【0093】

次に、図25(a)に示されるようにメモリセル領域をレジスト72で覆って、図25(b)、(c)に示されるように周辺部トランジスタのゲート電極に例えばリン又は砒素を $1.0 \times 10^{19} \text{ cm}^{-3}$ 以上注入してn型ゲート電極27、22を形成する。

## 【0094】

次に、図26(a)に示されるようにレジスト72を剥離した後、今度は周辺回路部のみをレジスト73で覆い、メモリセル部に例えばボロンを $1.0 \times 10^{19} \text{ cm}^{-3}$ 以上注入して、P型の第1ゲート電極14を形成する。

## 【0095】

次に、図27(a)、(b)、(c)に示されるように、各第1ゲート電極14、27、22上の酸化膜71を剥離した後、WSi、NiSi、MoSi、TiSi、CoSi等のいずれかを堆積してゲート電極15、28、23を形成する。この後、図示しないが、バリア絶縁膜31、層間膜17、ビット線18、保護膜19などを順次形成する。

## 【0096】

本実施の形態では各ゲート電極は不純物を添加したポリシリコンとポリサイドとのスタック構造としたがこれに限定されず、ポリメタルやメタル電極を用いてもよい。また、ポリシリコンの不純物の打ち分けをメモリセル部と周辺回路部に分けて行っているがこれに限らず、所望のトランジスタ特性およびセル特性が得られるように作り分け方を変えても良いし、作り分けをしなくても良い。作り分けをしない場合、ポリシリコンへの不純物注入はインプラに限らず、図23の工程で砒素、リン、ボロン等でドーパされた多結晶シリコンを堆積しても良い。

## 【0097】

なお、図23の工程で、非晶質シリコンを堆積した場合には、後の熱工程においてポリシリコンに変化する。また、ゲート電極の材料としては、低抵抗が必要な場合には金属材料を用いることが好ましいが、金属を用いた場合には、ゲート

電極形成後の製造工程で加えられる温度がポリシリコンなどと比べて高温を用いることができず、製造工程に制約が生じる。そのため、低抵抗と製造工程中の加熱温度のトレードオフの関係で適宜、ゲート電極材料が選択される。

## 【0098】

また、図25、26で示した工程において、ゲート電極だけにではなく、チャネル不純物注入やウェル不純物注入を行ってもよい。ゲート絶縁膜形成や素子分離トレンチ表面の酸化などの高温工程を通過した後に不純物注入すれば、熱工程による不純物の拡散を回避できるので、よりシャープな不純物プロファイルが得られ、デバイス特性を向上することができる。

## 【0099】

ゲート電極堆積後の工程は図示しないが、リソグラフィによってパターニングを行い、拡散層を形成した後、層間膜を堆積し、コンタクト、配線を形成してMISFETを形成する。

## 【0100】

本実施の形態によれば、ゲート絶縁膜を素子分離膜形成工程の前に形成するので、チャネルエッジ、中央共に制御良く同じ膜厚にすることができる。さらにゲート電極となる多結晶シリコンは素子分離後に堆積するので、トレンチ形成後の酸化でバースピークが入ることがない。結果として、チャネルエッジにおけるゲート絶縁膜の厚膜化や薄膜化等の問題を回避できてデバイス特性を向上させることができる。

## 【0101】

さらにゲート電極の側壁も酸化されないのでゲート絶縁膜端と同一平面状にゲート電極の側壁を位置させることが可能で、書き込み消去時にゲート絶縁膜全体に均一な電界を与えることができる。さらに本発明ではメモリセルトランジスタのトンネル酸化膜をさらに酸化することでMOSトランジスタのゲート絶縁膜としているのでゲート酸化前のウェット処理が不要となり、シャロートレンチ素子分離側面に窪みが形成されることを回避できる。

## 【0102】

また、このゲート酸化がバリア絶縁膜や周辺回路部の酸化膜に対してはデンシ



ファイとして働くのでウェット処理等のできる可能性のあるピンホールを塞ぎ、メモリセル及び周辺回路部のトランジスタの信頼性を向上させることができる。

【0103】

さらにゲート絶縁膜のチャネル方向の幅と、シャロートレンチ素子分離で挟まれた部分のゲート電極のチャネル方向の幅とが等しく形成でき、トランジスタの特性が向上する。

【0104】

また全てのトランジスタに対してゲート電極を同時に堆積している上に、素子分離領域で挟まれる部分と、素子分離領域上の部分とで、多結晶シリコンを二度付ける必要がないので工程数の削減につながり、低コスト化が実現できる。

【0105】

さらにゲート絶縁膜の作り分け（MONOS構造とMOS構造）やゲート電極の作り分け（PプラスゲートとNプラスゲート）の工程数を削減し、低コスト化を実現している。

【0106】

また、ゲート電極としてドーピングされていない多結晶シリコンを用いればメモリセルと周辺トランジスタでPプラスゲートとNプラスゲートを作り分けることも容易である。

【0107】

この場合、ゲート電極の多結晶シリコンはPプラス部分とNプラス部分とで同時に形成しているため、膜厚が等しくなるので、後のゲート電極の加工が容易となる。

【0108】

さらに、メモリ部のゲート電極と周辺回路部のゲート電極とを同時に形成できるので、製造工程数が削減できる。

【0109】

また、メモリ部と周辺回路部でそれぞれ、一方をPプラス部分、他方をNプラス部分とすることができる。また、メモリ部、周辺回路部それぞれにPプラス部分、Nプラス部分を両方混在させて形成することもできる。この場合、メモリ部

においては、例えば、メモリ部の多数個のセルトランジスタにP型不純物を導入し、セルトランジスタよりも少数の個数の選択トランジスタにN型不純物を導入し、周辺回路部の多数個の低電圧トランジスタにP型不純物を導入し、少数個の高耐圧トランジスタにN型不純物を導入することで形成できる。

## 【0110】

このプロセスをNANDフラッシュメモリに用いた場合、選択トランジスタをメモリセルトランジスタと同じゲート絶縁膜構造にすることで、工程数が増加することはない。

## 【0111】

なお、Pプラス部とNプラス部とが混在した場合、Pプラス部、Nプラス部の境界部分の半導体基板、素子分離領域、又はゲート電極にP型不純物とN型不純物の両方が注入されている。なお、Pプラス部、Nプラス部の境界部分の大きさによっては、P型不純物、N型不純物いずれも注入されない。

## 【0112】

また、シャロートレンチ素子分離領域上に形成された第2ゲート電極15、28、23は、各ゲートの膜中に自然酸化膜を含むことなく、素子分離領域間に形成されている第1ゲート電極14、27、22と一体形成されていて、抵抗値が一定に保たれ、従来技術において2段階で間に自然酸化膜を介してゲート電極が形成された場合と比較してゲート電極の制御性が向上する。

## 【0113】

本実施の形態は、加工ダメージを受けずに電荷蓄積絶縁膜を形成できる場合に効果を有する。

## 【0114】

本実施の形態においては、MONOS構造の半導体記憶装置を例に挙げて説明したが、本実施の形態はMONOS構造の半導体記憶装置に限られるものではなく、ゲート絶縁膜の電気的特性の高特性化が必要な微細化されたMOSトランジスタを有する半導体装置全般に適用できる。

## 【0115】

(第2の実施の形態)

本実施の形態においては、メモリ部の選択トランジスタの構造が第1の実施の形態と異なり、図8に示される周辺回路部の低電圧トランジスタと同一の構造となっている。このように選択トランジスタのゲート絶縁膜がMONOS構造ではなくMOS構造になっている。メモリ部のカラム方向の断面図は図28に示される通りで、メモリセルトランジスタの形状は第1の実施の形態と同様となっている。選択トランジスタ部分のゲート絶縁膜の構成が第1の実施の形態と異なり、低電圧トランジスタのゲート絶縁膜25で構成されている。

## 【0116】

この実施の形態の回路図は図29に示される通りで、第1の実施の形態同様に直列に接続されたメモリセルトランジスタ(M0~M31)52の両端にそれぞれ接続された選択トランジスタ(S1、S2)50、51の構成が、MONOSではなくMOS構造として表される。他の構成は、図11に示された第1の実施の形態の回路図と同一である。

## 【0117】

本実施の形態では、選択トランジスタのゲート絶縁膜にシリコン窒化膜を用いていないことから、半導体記憶装置の動作時のゲート電圧やドレイン電圧のストレスによって選択トランジスタの閾値が変動することがなくなり、より高性能で高信頼性の半導体記憶装置を実現できる。

## 【0118】

選択トランジスタのゲート絶縁膜25としては、例えば0.5nm~10nm程度のシリコン酸化膜又はシリコン酸窒化膜が挙げられるが、周辺回路部の低電圧トランジスタと同じ形成条件にすることがプロセスの工程削減のためには望ましい。すなわち、本実施の形態の製造方法は、第1の実施の形態の製造方法において、選択トランジスタをメモリ部のメモリセルトランジスタと同じ製造工程を経ずに、周辺回路部の低電圧トランジスタと同様の製造工程を適用することで実現される。

## 【0119】

このプロセスをNANDフラッシュメモリに用いた場合、選択トランジスタを周辺回路部の低電圧トランジスタと同じゲート絶縁膜構造にすることで、製造工

程数が増加することはない。

### 【0120】

本実施の形態においては、MONOS構造の半導体記憶装置を例に挙げて説明したが、本実施の形態はMONOS構造の半導体記憶装置に限られるものではなく、ゲート絶縁膜の電気的特性の高特性化が必要な微細化されたMOSトランジスタを有する半導体装置全般に適用できる。

### 【0121】

#### (第3の実施の形態)

本実施の形態の半導体装置は、特に絶縁膜を電荷蓄積層として用いるメモリセルにおいて使用される。

### 【0122】

図30には、本実施の形態のプロトタイプである自己整合STIを用いたMONOS型メモリセルが示される。図30(A)には、本形態のプロトタイプの上図面図が示されていて、素子分離領域110に囲まれて、素子領域111が直線状に左右方向に形成されている。この不純物領域の長手方向に直交して、ゲート電極112が形成されている。素子領域111には、ゲート電極112の左右それぞれの側にコンタクト113が1対設けられている。また、ゲート電極には、その端部に幅の広い領域が設けられ、そこにはコンタクト114が設けられている。このメモリセルではゲート電極112の両側の素子領域111がソース拡散層115、ドレイン拡散層116となり、データ読み出し時にはソース拡散層115からドレイン拡散層116へ図30(A)中の矢印で示されるCからD方向へ流れる電流量によって書き込み状態と消去状態とを判別する。このような構造は、NAND型EEPROMやNOR型EEPROM等で利用される。

### 【0123】

図30(A)における“C-D”線上での断面図が、図30(B)に示される。半導体基板117上にゲート電極112が形成され、その両側の半導体基板117中にソース拡散層115、ドレイン拡散層116が形成されている。ゲート電極112は、トンネル絶縁膜118、データ保持絶縁膜(電荷蓄積領域)119、ブロック絶縁膜120からなるゲート絶縁膜の上に積層されている。半導体

基板 1 1 7、ゲート電極 1 1 2 の表面上には層間絶縁膜 1 2 1 が形成されている。

#### 【0 1 2 4】

また、図 3 0 (A) における“E-F”線上での断面図が、図 3 0 (C) に示される。半導体基板 1 1 7 中には、素子分離溝 1 2 2 が設けられ、その中に素子分離領域 1 1 0 が形成されている。素子分離領域 1 1 0 の間には、トンネル絶縁膜 1 1 8、データ保持絶縁膜 1 1 9、ブロック絶縁膜 1 2 0 からなるゲート絶縁膜が形成されている。このブロック絶縁膜 1 2 0 上には、ゲート電極 1 1 2 が素子分離領域 1 1 0 上にまで延在して形成されている。

#### 【0 1 2 5】

このような図 3 0 (B)、図 3 0 (C) に示されたメモリセルの製造方法においては、素子分離溝を形成するためのエッチング加工時や、ゲート電極及びゲート絶縁膜のエッチング加工時に、データ保持絶縁膜端が異方性エッチングのプラズマにさらされるために、素子分離領域のエッジ及びゲートのエッジにおいてデータ保持絶縁膜が加工ダメージを受け、このためデータ保持絶縁膜のエッジ部における電荷保持力が劣化し、メモリセルの信頼性が損なわれる場合がある。

#### 【0 1 2 6】

図 3 0 に示される構造を持つメモリセルの場合、とりわけ素子分離領域のエッジにおけるデータ保持絶縁膜の特性劣化が深刻な問題となる場合がある。以下にそれを説明する。図 3 0 (B) に示される断面において、メモリセルトランジスタを①、②、③の領域に分ける。ここでは、①、③の領域のデータ保持絶縁膜がダメージを受けたダメージ領域 1 2 3 となっている。同様に図 3 0 (C) に示される断面において、メモリセルトランジスタを④、⑤、⑥の領域に分ける。ここでは、④、⑥のデータ保持絶縁膜がダメージを受けたダメージ領域 1 2 4 となっている。

#### 【0 1 2 7】

ここで、データ保持絶縁膜に電子をトラップさせて閾値を高くした状態（書き込み状態）を仮定する。図 3 1 (A) には、図 3 0 (B) の断面に相当するトランジスタの回路図を示し、図 3 1 (B) には、図 3 0 (C) の断面に相当するト

ランジスタの回路図を示し、図31(C)には横軸にゲート電圧、縦軸にドレイン電流を表し、データ保持絶縁膜の状態ごとの電流-電圧特性の変化を示す。図31(A)に示される回路図では、ゲートが共通に接続された3つのトランジスタ①、②、③がソース、ドレイン間で直列に接続された構成が示される。このトランジスタ①、②、③は、図30(B)におけるメモリセルトランジスタ①、②、③の領域にそれぞれが対応している。また、図31(B)に示される回路図では、ゲートが共通に接続された3つのトランジスタ④、⑤、⑥がソース、ドレイン間で並列に接続された構成が示される。このトランジスタ④、⑤、⑥は、図30(C)におけるメモリセルトランジスタ④、⑤、⑥の領域にそれぞれが対応している。

## 【0128】

データ保持絶縁膜のエッジ部では電荷保持特性が劣化しているので、電子が容易に脱離する。MONOS型メモリセルに代表されるような電荷蓄積領域として絶縁膜を用いた構造のメモリセルの場合、領域①、②、③間又は④、⑤、⑥間では、電荷の移動は行われないので、電荷が抜けた領域（エッジ部）はチャネル中央部と比較して閾値が低下する。ここで、図30(B)において示される断面は電流が流れる方向でのチャネルを表していて、この電流が流れる方向にトランジスタが直列に接続されていた場合、いずれかのトランジスタの閾値が低くなっても、全体としての閾値は変化しない。

## 【0129】

ここで、領域①、②、③はソース、ドレイン間に直列に配置されているので、領域①、③の閾値が低下しても領域②の閾値が高ければソース、ドレイン間に電流は流れず、ゲートエッジ部の閾値低下はメモリセルの閾値低下としては検知されない。一方、領域④、⑤、⑥はソース、ドレイン間に並列に接続されているので領域④、⑥の閾値が低下するとソース、ドレイン間に電流が流れるので、素子分離領域のエッジ部における閾値低下がメモリセルの閾値低下として検知される。この様子が図31(C)に示されている。すなわち、書き込み直後は各領域ともにほぼ同じゲート電圧になるが、時間の推移とともに書き込み状態で、中央部⑤に比べて、エッジ部④、⑥におけるゲート電圧がより多く低下し、消去状態の

電圧に近づいている。つまりメモリセルの電荷保持特性が、ダメージを受けた部分の電荷保持特性で決定されることになる。

### 【0130】

上述のように、自己整合STI構造でMONOS型メモリセルを形成した場合には、素子分離領域のエッジまたはゲート電極のエッジでの、電荷蓄積領域のデータ保持特性劣化がメモリセルの信頼性に対して影響を及ぼし、特に素子領域を定義する4辺のうちソース、ドレイン間電流の流れる方向と平行な2辺のエッジでの電荷保持特性劣化が問題となる場合がある。本実施の形態では以上の問題を解決する方法を提供する。

### 【0131】

次に、本実施の形態の自己整合STIを用いたMONOS型メモリセルが図32に示される。図32(A)には、本形態の半導体装置の上面図が示されていて、素子分離領域130に囲まれて、素子領域131が直線状に左右方向に形成されている。この素子領域131の長手方向に直交して、ゲート電極132が形成されている。素子領域131には、ゲート電極132の左右それぞれの側にコンタクト133が1対設けられている。また、ゲート電極132には、その端部に幅の広い領域が設けられ、そこにはゲートコンタクト134が設けられている。このメモリセルではゲート電極132の両側の素子領域131がソース不純物領域135、ドレイン不純物領域136となり、データ読み出し時にはソース不純物領域135からドレイン不純物領域136へ図32(A)中の矢印で示されるGからH方向へ流れる電流量によって書き込み状態と消去状態とを判別する。このような構造は、NAND型EEPROMやNOR型EEPROM等で利用される。

### 【0132】

図32(A)における“G-H”線上での断面図が、図32(B)に示される。半導体基板137上にゲート電極132が形成され、その両側の半導体基板137中にソース拡散層135、ドレイン拡散層136が形成されている。このゲート電極132は下層の第1ゲート138、その上の第2ゲート139から構成されている。ゲート電極132は、トンネル絶縁膜140、データ保持絶縁膜(

電荷蓄積領域) 141、ブロック絶縁膜 142 からなるゲート絶縁膜の上に積層されている。ゲート電極 132 の側面にはゲート側壁絶縁膜 143 が設けられている。半導体基板 137、ゲート電極 112、ゲート側壁絶縁膜 143 の表面上には層間絶縁膜 144 が形成されている。ここで、データ保持絶縁膜 141 はゲート電極 132 よりもその幅がゲート側壁絶縁膜 143 の厚さ分、大きく形成されている。

## 【0133】

また、図 32 (A) における “I-J” 線上での断面図が、図 32 (C) に示される。半導体基板 137 中には、素子分離溝 145 が設けられ、その中に素子分離領域 130 が形成されている。素子分離領域 130 の間には、トンネル絶縁膜 140、データ保持絶縁膜 141、ブロック絶縁膜 142 からなるゲート絶縁膜及び第 1 ゲート 138 が形成されている。このブロック絶縁膜 142 上には、第 2 ゲート 139 が素子分離領域 130 上にまで延在して形成されている。ここで、データ保持絶縁膜 141 は第 1 ゲート 138 よりもその幅が大きく形成され、素子分離領域 130 内に突き出している。

## 【0134】

本メモリセルでは、半導体基板 137 中の上部には図示しない低濃度不純物領域であるウエルが形成されている。半導体基板 137 上に例えば膜厚が 1~15 nm 程度のシリコン酸化膜やシリコン酸窒化膜等からトンネル絶縁膜 140 が形成されている。さらに、このトンネル絶縁膜 140 上には、膜厚が例えば 3~30 nm 程度のシリコン窒化膜、シリコン酸窒化膜、 $Ta_2O_5$  膜、 $TiO_2$  膜、 $Al_2O_3$  膜等の絶縁膜でデータ保持膜 141 が形成されている。さらにこのデータ保持膜 141 の上には、膜厚が例えば 1~15 nm 程度のシリコン酸化膜やシリコン酸窒化膜等でブロック絶縁膜 142 が形成されている。このブロック絶縁膜 142 上には、例えばポリシリコンや WSi (タングステンシリサイド) とポリシリコンとのスタック構造、又は、NiSi, MOSi, TiSi, CoSi とポリシリコンのスタック構造、金属とポリシリコンのスタック構造、又はシリコンの金属化合物や金属の単層構造からなるゲート電極 132 が 10 nm から 500 nm の厚さで形成されている。



## 【0135】

次に、本実施の形態の半導体装置の動作を説明する。図32に示されたトランジスタがメモリセルを構成する。消去動作は例えばゲート電極を0Vとした状態で半導体基板に高電圧（例えば10～25V）を印加して、半導体基板から電荷蓄積領域にホールを注入することで行われる。またはソース電位に対してドレイン電位を負にバイアスしてチャンネルで加速されたホットホールを発生させ、さらにゲート電極をソース電位に対して負にバイアスすることでホットホールを電荷蓄積領域に注入することで行われる。またはウエル電位に対してソース電位及びドレイン電位を正にバイアスして不純物領域とウエル間のジャンクションでホットホールを発生させ、さらにゲート電極をウエル電位に対して負にバイアスすることでホットホールを電荷蓄積領域に注入することで行われる。

## 【0136】

書き込み動作は例えば半導体基板を0Vとして状態でゲート電極に高電圧（例えば10～25V）を印加して、半導体基板から電荷蓄積領域に電子を注入することで行われる。またはソース電位に対してドレイン電位を正にバイアスしてチャンネルで加速されたホットエレクトロンを発生させ、さらにゲート電極をソース電位に対して正にバイアスすることでホットエレクトロンを電荷蓄積領域に注入することで行われる。

## 【0137】

読み出し動作では、ドレインコンタクトに接続されたビット線をプリチャージした後にフローティングにし、ゲート電極の電圧を読み出し電圧 $V_{ref}$ 、ソース線を0Vとして、メモリセルに電流が流れるか否かをビット線で検出することにより行われる。すなわち、メモリセルの閾値 $V_{th}$ が $V_{ref}$ よりも大きい、書き込み状態ならばメモリセルはオフになるのでビット線はプリチャージ電位を保つ。これに対して選択メモリセルの閾値 $V_{th}$ が $V_{ref}$ よりも小さい消去状態ならばメモリセルはオンになるのでビット線の電位はプリチャージ電位から $\Delta V$ だけ低下する。この電位変化をセンスアンプで検知することによってメモリセルのデータが読み出される。

## 【0138】

図32 (A) に示されるように、ゲート電極132の両側の半導体基板上には素子領域131が形成され、データの読み出し時にはゲートのエッジと垂直な方向(“G-H”線方向)に流れる電流量によって記憶されたデータを判別する。ここで、図32 (B) に示されるように、データ保持絶縁膜141はゲート電極132に対して突き出した形状となっている。ここで、突き出す程度は0.5 nm から10 nm程度である。ここで、突き出す程度が小さいと、効果が得られず、突き出す程度が大きすぎると製造工程において、困難が生じ、微細化には不適切である。

## 【0139】

また、図32 (C) の断面に示すように、素子分離溝145はゲート電極132及びゲート絶縁膜中のトンネル絶縁膜140及びブロック絶縁膜142に対して自己整合的に形成されている。ここで、データ保持絶縁膜141はゲート電極132中の第1ゲート138及び半導体基板137に対して突き出しており、両端が素子分離溝145中に入り込んだ形状となっている。

## 【0140】

このように、本実施の形態の半導体装置においてはデータ保持絶縁膜が、ゲート電極、若しくは半導体基板又はその両方に対して突き出しているために、データ保持絶縁膜の突き出し部がメモリセルトランジスタの電荷蓄積領域としてもゲート絶縁膜としても使用されない。

## 【0141】

データ保持絶縁膜のエッジ部は中央部と比較して、加工ダメージによって電荷保持力が劣るが、この領域の電荷保持特性がメモリセルの電荷保持特性に影響しないために、信頼性の高い不揮発性半導体記憶装置が実現できる。ここで、図32 (B) に示される断面で、メモリセルを領域①、②、③としてエッジ部と中央部とに分割する。さらに、図32 (C) に示される断面で、メモリセルを領域④、⑤、⑥としてエッジ部と中央部に分割する。ここでは、エッジ部①、③、④、⑥の電荷蓄積絶縁膜の特性が中央部②、⑤と同一であるために、エッジ部に起因した信頼性劣化がない。このように突き出し部の突き出しの長さは、加工ダメージの進入深さよりも大きい値とすることで、エッジ部①、③、④、⑥の特性が中

央部②、⑤の特性と等しくなる。

#### 【0142】

ここで、特にソース、ドレイン間電流の流れる方向（図32（A）の“G-H”方向）と平行な2辺（素子分離端と接する2辺）で、データ保持絶縁膜が突き出している形状になっていることの効果が大きい。これは図32（C）の領域④、⑥はソース、ドレイン間において中央部⑤と並列に配置されているため、この部分の電荷抜けによる閾値低下がメモリセル全体の閾値低下として検知されるため、特に④、⑥の部分の電荷抜けを防ぐ必要があるためである。

#### 【0143】

図32（B）に示す断面での各領域をトランジスタを用いた回路図で表すと図33（A）の通りとなるが、各領域①、②、③の特性が等しいため、図33（B）に示されるように1つのトランジスタで表現される。さらに図32（C）に示す断面での各領域をトランジスタを用いた回路図で表すと図33（C）の通りとなるが、各領域④、⑤、⑥の特性が等しいため、図33（D）に示されるように1つのトランジスタで表現される。

#### 【0144】

ここで、図32（C）に示された断面を拡大した例を図34に示す。第1ゲート電極143下の半導体基板137と素子分離領域130の間には、素子分離側壁絶縁膜146が形成されている。また、第1ゲート電極138側面と素子分離領域130の間には、ポリシリコン側壁酸化膜147が形成されている。また、第2ゲート電極139がポリシリコン側壁酸化膜147及び素子分離領域130に接する端部148では、第2ゲート電極139が半導体基板137方向へ張り出している。このように、データ保持絶縁膜142は第1ゲート138よりもポリシリコン側壁酸化膜147の厚さ分、素子分離領域130方向に突き出している。また、データ保持絶縁膜142は半導体基板137よりも素子分離側壁酸化膜146の厚さ分、素子分離領域130方向に突き出している。

#### 【0145】

本実施の形態では、データ保持絶縁膜の両端が、ゲート電極及び半導体基板の両方に対して突き出しているが、ゲート電極又は半導体基板のいずれかに対して

突き出しているもよい。すなわち、図 3 2 の “I - J” 断面又は “G - H” 断面のいずれか一方のみを採用し、他方を本実施の形態のプロトタイプの通りとしてもよい。また、本実施の形態ではメモリセルトランジスタの素子領域を定義する 4 辺全てにおいてデータ保持絶縁膜が突き出しているが、4 辺のうち少なくとも 1 辺、好ましくは、ソース、ドレイン間電流の流れる方向と平行な 2 辺で、データ保持絶縁膜が突き出している形状であればよい。

## 【0 1 4 6】

このように MONOS 型不揮発性メモリセルにおいて、ゲート電極よりもデータ保持絶縁膜が突き出している形状にすることによって、データ保持特性を向上させることができる。

## 【0 1 4 7】

さらに、ゲート電極に対してデータ保持絶縁膜が突き出した形状となっているので、加工ダメージを受けたデータ保持絶縁膜端を電荷蓄積領域及びトランジスタのゲート絶縁膜として使用しなくて済むため、メモリセルの信頼性が向上する。とりわけ、ソース、ドレイン間電流の流れる方向（図 3 2 (C) の “I - J” 方向）と平行な 2 辺（素子分離領域端と接する 2 辺）で、データ保持絶縁膜が突き出している形状になっていると、閾値降下を防止でき、データ保持特性を改善する効果大きい。

## 【0 1 4 8】

本実施の形態の半導体装置によれば、電荷蓄積領域の両端が、ゲート側壁絶縁膜の下において、ゲート電極へ突き出し、チャネル端において、半導体基板に対して突き出していれば、チャネル部への製造工程におけるダメージが入ることを防止できる。

## 【0 1 4 9】

このように、電荷蓄積領域がゲート電極又は基板に対して突き出していることで、加工によるダメージを受け、電荷保持特性が劣化した絶縁膜端部を電荷蓄積領域としてもゲート絶縁膜としても使用しないので、メモリセルの信頼性が向上する。

## 【0 1 5 0】

本実施の形態の半導体装置においては、読み出し電流が流れる向きと並列に配置された、データ保持絶縁膜端部をゲート電極又は半導体基板に対して突き出した形状とすることで、データ保持絶縁膜端部の閾値落ちがメモリセルの閾値落ちとして検知されることを防止する。

## 【0151】

なお、第1の実施の形態における図2及び図3に示されるような形状の半導体装置とした場合でも本実施の形態の半導体装置の効果を得ることができる。

## 【0152】

次に、図35乃至図43を用いて、本実施の形態の半導体装置の製造方法の一例を説明する。図35乃至図43においては、それぞれ各図の(A)図が図32(A)における“I-J”線上での断面、(B)図が図32(A)における“G-H”線上での断面に相当している。

## 【0153】

まず、半導体基板137上に犠牲酸化膜(図示せず)を形成した後、チャネル不純物やウェル不純物の注入を行い、犠牲酸化膜を剥離する。

## 【0154】

次に、図35(A)及び図35(B)に示されるように、半導体基板137上に例えば1~15nm程度の厚さのシリコン酸化膜やシリコン窒化膜等のトンネル絶縁膜140、例えば3~30nm程度の厚さのシリコン窒化膜やシリコン酸窒化膜、 $Ta_2O_5$ 、 $TiO_2$ 、 $Al_2O_3$ 等の絶縁膜により、データ保持絶縁膜141を順次形成する。さらに例えば1~15nm程度の厚さのシリコン酸化膜やシリコン酸窒化膜等により、ブロック絶縁膜142を形成する。さらにその上に、例えばポリシリコン等により、第1ゲート電極を10~100nm程度の厚さで堆積する。さらにシリコン窒化膜等の絶縁膜を10~200nm程度の厚さで堆積してマスク材150を形成する。

## 【0155】

次に、図36(A)及び図36(B)に示される工程において、フォトリソグラフィによって素子分離領域のパターンニングを行った後、マスク材150、第1ゲート電極138、ブロック絶縁膜142、データ保持絶縁膜141、トン

ネル絶縁膜140、及び半導体基板137を異方性エッチングにより加工し、素子分離溝151を形成する。ここで、形成される素子分離溝の深さは例えば約50nm～300nm程度である。なお、図36(B)に示される断面では、素子分離溝は形成されない。

## 【0156】

次に、図37(A)に示されるように第1ゲート電極138の側壁を酸化し、ゲート側壁絶縁膜152が形成される。この工程で酸化される第1ゲート電極138の厚さは約0.5nmから15nm程度である。この値は加工によるダメージがデータ保持絶縁膜141に進入しない値が選ばれる。なお、図37(B)に示される断面では、酸化は行なわれない。

## 【0157】

このとき半導体基板137の素子分離溝151の側壁部分も酸化され、素子分離側壁絶縁膜153が形成されるが、データ保持絶縁膜141は酸化されないように酸化条件を調整する。第1ゲート電極138は例えばポリシリコンを用い、素子分離溝151の側壁は半導体基板137であるので、単結晶シリコンを用いた場合、両者の酸化レートの違いを利用して、酸化条件が設定できる。この第1ゲート電極138の側壁の酸化量及び素子分離溝151の側壁の酸化量によって、データ保持絶縁膜141の突き出し量が決まる。すなわち、第1ゲート電極138側面にゲート側壁絶縁膜152が形成されたことによる、第1ゲート電極138側面の後退量によって、データ保持絶縁膜141の第1ゲート電極138への突き出し量が決定される。また、素子分離溝151側面に素子分離側壁絶縁膜153が形成されたことによる、半導体基板137側面の後退量によって、データ保持絶縁膜141の半導体基板137への突き出し量が決定される。

## 【0158】

ここで形成される素子分離溝の側壁の酸化膜は、半導体基板を構成する単結晶シリコンの酸化膜であり、比較的硬度が高い性質を持つ。なお、第1ゲート電極138の側壁のみ、または半導体基板137の素子分離溝151の側壁部のみ酸化されるような条件としても良い。こうして、酸化により第1ゲート電極138や半導体基板137が後退した結果、データ保持絶縁膜141の両端は、第1ゲ

ート電極138、又は半導体基板137のどちらか一方、又は第1ゲート電極138と半導体基板137との両者に対して突き出した形状となる。

#### 【0159】

ここで、データ保持絶縁膜141に順テーパが形成されるようにエッチングされる条件を用いることにより、後の工程の素子分離溝151へのシリコン酸化膜埋め込みをより容易にすることができる。順テーパの角度としては、半導体基板137の上面を標準として $60^{\circ}$ から $89^{\circ}$ の範囲の角度が良い。

#### 【0160】

次に、図37(A)に示されるように、ポリシリコンからなる第1ゲート電極138の酸化によって、第1ゲート電極側壁酸化膜152がデータ保持絶縁膜141よりも出る構造にすることが、例えば、後で述べるHDP-SiO<sub>2</sub>による素子分離絶縁膜埋め込み時のデータ保持絶縁膜141のダメージを小さくし、より信頼性の高いデバイス構造を形成するのに望ましい。また、半導体基板137の酸化によって、素子分離側壁酸化膜153がデータ保持絶縁膜141よりも素子分離溝151に出る構造にすることが、後の工程の素子分離溝151へのシリコン酸化膜埋め込みをより容易にすることができる。

#### 【0161】

ここで、データ保持絶縁膜141の両端は、半導体基板137から0.5nm以上15nm以下の範囲内で突き出していることが信頼性上望ましく、素子分離領域151内壁に形成した酸化膜の厚さとしては、1nm以上16nm以下の範囲で形成することが望ましい。

#### 【0162】

第1ゲート電極138や半導体基板137を、データ保持絶縁膜141に対して後退させる方法は酸化に限定されず、ウェットエッチング等によるエッチバックでも良い。さらに例えば、TEOSやHTO (High Temperature Oxide) をデータ保持絶縁膜141の突き出し量よりも厚く堆積することにより、後述するHDP (High Density Plasma) - SiO<sub>2</sub>による素子分離絶縁膜埋め込み時のデータ保持絶縁膜のダメージを小さくしても良い。この場合、データ保持絶縁膜をエッチングさせないことが必要である。酸化と組み合わせて、ウェットエッチン

グなどを用いることもできる。さらに、シリコン酸化膜等の絶縁膜を例えば5～50nm程度の厚さで堆積した後、異方性エッチングによってエッチバックし、側壁絶縁膜を形成し、これをマスクとして第1ゲート絶縁膜及び半導体基板をエッチングして素子分離溝を形成することもできる。

## 【0163】

次に、図38(A)に示されるように、素子分離溝151を例えば、HDP-SiO<sub>2</sub>やTEOSなどのシリコン酸化膜等の堆積法で、埋め込んだ後、CMP法によって平坦化して、素子分離領域110を形成する。ここで埋め込むシリコン酸化膜は単結晶シリコンの酸化膜に比べて、比較的硬度が低い性質を持つ。

## 【0164】

次に、図39(A)及び(B)に示されるように、CMPのストッパであるマスク材150をウェットエッチングにより除去する。

## 【0165】

次に、図40(A)及び(B)に示されるように、例えばポリシリコンやWSi(タングステンシリサイド)とポリシリコンとのスタック構造、又は、NiSi、MoSi、TiSi、CoSiなどのシリコンの金属化合物とポリシリコンのスタック構造、金属とポリシリコンのスタック構造、またはシリコンの金属化合物やW、Al、Cuなどの金属の単層構造またはポリシリコンの単層構造からなる第2ゲート電極139を堆積し、第1ゲート電極138と合わせて、メモリのゲート電極132とする。

## 【0166】

次に、図41に示されるようにフォトリソグラフィーによってゲートのパターンを形成し、異方性エッチングによってゲート電極をエッチングする。図41(B)においては、ブロック絶縁膜142が露出して、一部にゲート電極132が形成される。なお、図41(A)に示される断面では、ゲート電極132はエッチングされない。この工程において、データ保持絶縁膜141はエッチングしない。ここでは、データ保持絶縁膜141の上のブロック絶縁膜142はエッチングしてもしなくてもどちらの場合も可能である。

## 【0167】



次に、必要に応じてエッチングダメージ回復のための熱処理を行った後、図42 (B) に示されるように、シリコン酸化膜等の絶縁膜を例えば5～50 nm程度の厚さで堆積し、異方性エッチングによってこれをエッチバックし、側壁絶縁膜143を形成する。この時に側壁絶縁膜143をマスクとしてデータ保持絶縁膜141もエッチングする。その結果、ゲート電極132に対して、側壁絶縁膜143の膜厚分だけ、データ保持絶縁膜141が突き出した形状となる。ここで、側壁絶縁膜143の厚さは堆積厚さに相当するので、堆積膜厚を調整して、側壁絶縁膜143の厚さを制御する。又は、側壁絶縁膜143を堆積によってではなく、ゲート多結晶シリコンを酸化することによって形成しても良い。この場合、側壁絶縁膜143の厚さは酸化量によって調整される。

## 【0168】

次に、図43 (B) に示されるように拡散層の不純物を注入して、ソース、ドレイン不純物領域135, 136を形成する。さらに、図43 (A) 及び (B) に示されるように層間絶縁膜144を堆積する。さらに層間絶縁膜144中にコンタクトプラグ133, 134を形成し、メタル配線 (図示せず) 等を形成する工程を経て不揮発性メモリセルを完成させる。

## 【0169】

本実施の形態の半導体記憶装置の製造方法によれば、第1ゲート電極138でチャネル幅を規定し、第2ゲート電極139でチャネル長を規定することによって、メモリセルを形成するデータ保持絶縁膜141の面積を2つのリソグラフィによって決めることができる。さらに、この2つのリソグラフィには、直線状のパターンを用いることができる。よって、チャネル幅とチャネル長以外に、浮遊ゲートと制御ゲートとのリソグラフィ寸法に大きく依存する浮遊ゲート型不揮発性半導体記憶装置よりも寸法ばらつきのメモリ特性に対する影響要因を減らすことができ、メモリセルごとの書き込み電圧や消去電圧をより一層安定させることができ、信頼性を向上できる。

## 【0170】

また、第1ゲート電極138が形成されていない部分には、データ保持絶縁膜141が形成されていない。よって、例えば、第2ゲート電極139の下にデー

タ保持絶縁膜 1 4 1 が形成されている場合に生じる、第 2 ゲート電極 1 3 9 下のデータ保持絶縁膜 1 4 1 の電極加工中や動作時のデータ保持絶縁膜 1 4 1 への電荷注入が生じない。よって、それらが起因となる隣接するメモリセル間のチャネル間の耐圧ばらつきや電流漏れの問題が生じない。

## 【 0 1 7 1 】

(第 3 の実施の形態の変形例)

本変形例では、第 3 の実施の形態の半導体装置において、図 3 2 (C) に示される断面の構造を図 4 4 に示される構造に替えて構成している。ここでは、素子分離領域の下部がデータ保持絶縁膜 1 4 1 の下側に形成されていない構造となっている。

## 【 0 1 7 2 】

本変形例の半導体装置の製造方法は、“I-J”線上での断面においてのみ、図 3 7 以降に示される工程において第 3 の実施の形態と異なり、“G-H”線上での断面では、第 3 の実施の形態の半導体装置の製造方法と同様であるので図示及び説明は省略する。すなわち、図 3 6 (A) に示される工程の後で、図 4 5 に示されるように、素子分離溝 1 5 1 形成後のゲート側壁絶縁膜形成工程において、素子分離溝 1 5 1 の側面の酸化を行わずに、ゲート側壁絶縁膜 1 5 2 を形成する。

## 【 0 1 7 3 】

次に、図 4 6 に示されるように、素子分離溝 1 5 1 を例えば、HDP-SiO<sub>2</sub> や TEOS などのシリコン酸化膜等の堆積法で、埋め込んだ後、CMP 法によって平坦化して、素子分離領域 1 1 0 を形成する。ここで埋め込むシリコン酸化膜は単結晶シリコンの酸化膜に比べて、比較的硬度が低い性質を持つ。

## 【 0 1 7 4 】

次に、図 4 7 に示されるように、CMP のストッパであるマスク材 1 5 0 をウェットエッチングにより除去する。

## 【 0 1 7 5 】

次に、図 4 8 に示されるように、例えばポリシリコンや WSi (タングステンシリサイド) とポリシリコンとのスタック構造、又は、NiSi、MoSi、T

i Si、Co Siなどのシリコンの金属化合物とポリシリコンのスタック構造、金属とポリシリコンのスタック構造、またはシリコンの金属化合物やW、Al、Cuなどの金属の単層構造またはポリシリコンの単層構造からなる第2ゲート電極139を堆積し、第1ゲート電極138と合わせて、メモリセルのゲート電極132とする。

## 【0176】

次に、図49に示されるように層間絶縁膜144を堆積する。さらに層間絶縁膜144中にコンタクトプラグ134を形成し、メタル配線（図示せず）等を形成する工程を経て不揮発性メモリセルを完成させる。

## 【0177】

このように素子分離側壁絶縁膜を設けないことで、データ保持絶縁膜141が第1ゲート電極138に対してのみ突き出し、半導体基板137に対しては突き出さない形状とすることができる。本変形例においても第3の実施の形態同様の効果を得ることができる。

## 【0178】

## (第4の実施の形態)

図50には、本実施の形態のプロトタイプである自己整合STIを用いたMONOS型メモリセルが示される。図50(A)には、本形態のプロトタイプの上下面図が示されていて、素子分離領域110に接して半導体基板117中の一部にソース不純物領域155が直線状に左右方向に形成されている。このソース不純物領域155の一部ではその幅が大きくなっていて、ソースコンタクト157が設けられている。また、このソース不純物領域155に対向して素子分離領域110に接して、半導体基板117中の一部にドレイン不純物領域156が直線上に左右方向に形成されている。このドレイン不純物領域156の一部ではその幅が大きくなっていて、ドレインコンタクト158が設けられている。

## 【0179】

ソース不純物領域155及びドレイン不純物領域156の長手方向に直交して、ゲート電極112が形成されている。ゲート電極112には、その端部に幅の広い領域が設けられ、そこにはゲートコンタクト114が設けられている。この

メモリセルではゲート電極112の真下にソース不純物領域155、ドレイン不純物領域156が設けられ、データ読み出し時にはソース不純物領域155からドレイン不純物領域156へ図50(A)中の矢印で示されるMからN方向へ流れる電流量によって書き込み状態と消去状態とを判別する。このような構造は、AND型EEPROMやDINOR型EEPROM等で利用される。

## 【0180】

図50(A)における“K-L”線上での断面図が、図50(B)に示される。半導体基板117上にゲート電極112が形成されている。ゲート電極112は、トンネル絶縁膜118、データ保持絶縁膜(電荷蓄積領域)119、ブロック絶縁膜120からなるゲート絶縁膜の上に積層されている。半導体基板117、ゲート電極112の表面上には層間絶縁膜121が形成されている。

## 【0181】

また、図50(A)における“M-N”線上での断面図が、図50(C)に示される。半導体基板117中には、素子分離溝122が設けられ、その中に素子分離領域110が形成されている。素子分離領域110の間には、トンネル絶縁膜118、データ保持絶縁膜119、ブロック絶縁膜120からなるゲート絶縁膜が形成されている。このブロック絶縁膜120上には、ゲート電極112が素子分離領域110上にまで延在して形成されている。トンネル絶縁膜118の端部の半導体基板117中には、素子分離溝122は設けられておらず、素子分離領域110に接して、ソース不純物領域155及びドレイン不純物領域156が設けられている。

## 【0182】

このような図50(B)、図50(C)に示されたメモリセルの製造方法においては、素子分離溝を形成するためのエッチング加工時や、ゲート電極及びゲート絶縁膜のエッチング加工時に、データ保持絶縁膜端が異方性エッチングのプラズマにさらされるために、素子分離領域のエッジ及びゲートのエッジにおいてデータ保持絶縁膜が加工ダメージを受け、このためデータ保持絶縁膜のエッジ部における電荷保持力が劣化し、メモリセルの信頼性が損なわれる場合がある。

## 【0183】

図50に示される構造を持つメモリセルの場合、とりわけ素子分離領域のエッジにおけるデータ保持絶縁膜の特性劣化が深刻な問題となる場合がある。以下にそれを説明する。図50(B)に示される断面において、メモリセルトランジスタを①、②、③の領域に分ける。ここでは、①、③の領域のデータ保持絶縁膜がダメージを受けたエッジ領域123となっている。同様に図50(C)に示される断面において、メモリセルトランジスタを④、⑤、⑥の領域に分ける。ここでは、④、⑥のデータ保持絶縁膜がダメージを受けたエッジ領域124となっている。

## 【0184】

ここで、データ保持絶縁膜に電子をトラップさせて閾値を高くした状態（書き込み状態）を仮定する。図51(A)には、図50(B)の断面に相当するトランジスタの回路図を示し、図51(B)には、図50(C)の断面に相当するトランジスタの回路図を示し、図51(C)には横軸にゲート電圧、縦軸にドレイン電流を表し、データ保持絶縁膜の状態ごとの電流－電圧特性の変化を示す。図51(A)に示される回路図では、ゲートが共通に接続された3つのトランジスタ①、②、③がソース、ドレイン間で並列に接続された構成が示される。このトランジスタ①、②、③は、図50(B)におけるメモリセルトランジスタ①、②、③の領域にそれぞれが対応している。また、図51(B)に示される回路図では、ゲートが共通に接続された3つのトランジスタ④、⑤、⑥がソース、ドレイン間で直列に接続された構成が示される。このトランジスタ④、⑤、⑥は、図50(C)におけるメモリセルトランジスタ④、⑤、⑥の領域にそれぞれが対応している。

## 【0185】

データ保持絶縁膜のエッジ部では電荷保持特性が劣化しているので、電子が容易に脱離する。MONOS型メモリセルに代表されるような電荷蓄積領域として絶縁膜を用いた構造のメモリセルの場合、領域①、②、③間又は④、⑤、⑥間では、電荷の移動は行われないので、電荷が抜けた領域（エッジ部）はチャネル中央部と比較して閾値が低下する。ここで、図50(B)において示される断面は電流が流れる方向でのチャネルを表していて、この電流が流れる方向にトランジ

スタが直列に接続されていた場合、いずれかのトランジスタの閾値が低くなっても、全体としての閾値は変化しない。

## 【0186】

ここで、領域④、⑤、⑥はソース、ドレイン間に直列に配置されているので、領域④、⑥の閾値が低下しても領域⑤の閾値が高ければソース、ドレイン間に電流は流れず、ゲートエッジ部のしきい値低下はメモリセルの閾値低下としては検知されない。一方、領域①、②、③はソース、ドレイン間に並列に接続されているので領域①、③の閾値が低下するとソース、ドレイン間に電流が流れるので、素子分離領域のエッジ部における閾値低下がメモリセルの閾値低下として検知される。この様子が図51(C)に示されている。すなわち、書き込み直後は各領域ともにほぼ同じゲート電圧になるが、時間の推移とともに書き込み状態で、中央部②に比べて、エッジ部①、③におけるゲート電圧がより多く低下し、消去状態の電圧に近づいている。つまりメモリセルの電荷保持特性が、ダメージを受けた部分の電荷保持特性で決定されることになる。

## 【0187】

上述のように、自己整合STI構造でMONOS型メモリセルを形成した場合には、素子分離領域のエッジ又はゲート電極のエッジでの、電荷蓄積領域のデータ保持特性劣化がメモリセルの信頼性に対して影響を及ぼし、特に素子領域を定義する4辺のうちソース、ドレイン間電流の流れる方向と平行な2辺のエッジでの電荷保持特性劣化が問題となりうる。本実施の形態では以上の問題を解決する方法を提供する。

## 【0188】

次に、本実施の形態の自己整合STIを用いたMONOS型メモリセルが図52に示される。図52(A)には、本形態の半導体装置の上面図が示されていて、素子分離領域160に接して、一方側の半導体基板161中にソース不純物領域162が直線状に左右方向に形成されている。このソース不純物領域162に対向して、素子分離領域160に接して、他方側の半導体基板161中にドレイン不純物領域163が形成されている。ソース不純物領域162には、その一部で幅が広く形成されていて、そこにはソースコンタクト164が形成されている。

。さらにドレイン不純物領域163には、その一部で幅が広く形成されていて、そこにはドレインコンタクト165が形成されている。これらソース不純物領域162、ドレイン不純物領域165の長手方向に直交して、ゲート電極166が形成されている。

## 【0189】

また、ゲート電極166には、その端部に幅の広い領域が設けられ、そこにはゲートコンタクト167が設けられている。このメモリセルではゲート電極166の下側の半導体基板161の一部がソース不純物領域162、ドレイン不純物領域163となり、データ読み出し時にはソース不純物領域162からドレイン不純物領域163へ図52(A)中の矢印で示されるQからR方向へ流れる電流量によって書き込み状態と消去状態とを判別する。このような構造は、AND型EEPROMやDINOR型EEPROM等で利用される。

## 【0190】

図52(A)における“O-P”線上での断面図が、図52(B)に示される。半導体基板161上にゲート電極166が形成されている。このゲート電極166は下層の第1ゲート170、その上の第2ゲート171から構成されている。ゲート電極166は、トンネル絶縁膜172、データ保持絶縁膜(電荷蓄積領域)173、ブロック絶縁膜174からなるゲート絶縁膜の上に積層されている。ゲート電極166の側面にはゲート側壁絶縁膜175が設けられている。半導体基板161、ゲート電極166、ゲート側壁絶縁膜175の表面上には層間絶縁膜176が形成されている。ここで、データ保持絶縁膜173はゲート電極166よりもその幅がゲート側壁絶縁膜175の厚さ分、大きく形成されている。

## 【0191】

また、図52(A)における“Q-R”線上での断面図が、図52(C)に示される。半導体基板161中には、素子分離溝177が設けられ、その中に素子分離領域160が形成されている。素子分離領域160の間には、トンネル絶縁膜172、データ保持絶縁膜173、ブロック絶縁膜174からなるゲート絶縁膜及び第1ゲート170が形成されている。このブロック絶縁膜174上には、第2ゲート171が素子分離領域160上にまで延在して形成されている。ここ

で、データ保持絶縁膜 173 及びその下に位置するトンネル絶縁膜 172 は第 1 ゲート 170 よりもその幅が大きく形成され、素子分離領域 160 内に突き出している。

#### 【0192】

本メモリセルでは、半導体基板 161 中の上部には図示しない低濃度不純物領域であるウエルが形成されている。半導体基板 161 上に例えば膜厚が 1~15 nm 程度のシリコン酸化膜やシリコン酸窒化膜等からトンネル絶縁膜 172 が形成されている。さらに、このトンネル絶縁膜 172 上には、膜厚が例えば 3~30 nm 程度のシリコン窒化膜、シリコン酸窒化膜、 $Ta_2O_5$  膜、 $TiO_2$  膜、 $Al_2O_3$  膜等の絶縁膜でデータ保持絶縁膜 173 が形成されている。

#### 【0193】

さらにこのデータ保持絶縁膜 173 の上には、膜厚が例えば 1~15 nm 程度のシリコン酸化膜やシリコン酸窒化膜等でブロック絶縁膜 174 が形成されている。このブロック絶縁膜 174 の上には、例えばポリシリコンや WSi (タンゲステンシリサイド) とポリシリコンとのスタック構造、又は、NiSi, MOSi, TiSi, CoSi とポリシリコンのスタック構造、金属とポリシリコンのスタック構造、又はシリコンの金属化合物や金属の単層構造からなるゲート電極 166 が 10 nm から 500 nm の厚さで形成されている。ここで、素子分離領域 160 の端に接する半導体基板 161 中には、ソース不純物領域 162、ドレイン不純物領域 163 が形成されている。このソース不純物領域 162、ドレイン不純物領域 163 は、第 1 ゲート 170 から突き出したデータ保持絶縁膜 173 の下に形成されているが、第 1 ゲート電極 170 の下方には形成されていない。

#### 【0194】

次に、本実施の形態の半導体装置の動作を説明する。図 52 に示されたトランジスタがメモリセルを構成する。消去動作は例えばゲート電極を 0 V とした状態で半導体基板に高電圧 (例えば 10~25 V) を印加して、半導体基板から電荷蓄積領域にホールを注入することで行われる。またはソース電位に対してドレイン電位を負にバイアスしてチャネルで加速されたホットホールを発生させ、さら



にゲート電極をソース電位に対して負にバイアスすることでホットホールを電荷蓄積領域に注入することで行われる。またはウエル電位に対してソース電位及びドレイン電位を正にバイアスして不純物領域とウエル間のジャンクションでホットホールを発生させ、さらにゲート電極をウエル電位に対して負にバイアスすることでホットホールを電荷蓄積領域に注入することで行われる。

## 【0195】

書き込み動作は例えば半導体基板を0Vとして状態でゲート電極に高電圧（例えば10～25V）を印加して、半導体基板から電荷蓄積領域に電子を注入することで行われる。またはソース電位に対してドレイン電位を正にバイアスしてチャンネルで加速されたホットエレクトロンを発生させ、さらにゲート電極をソース電位に対して正にバイアスすることでホットエレクトロンを電荷蓄積領域に注入することで行われる。

## 【0196】

読み出し動作では、ドレインコンタクトに接続されたビット線をプリチャージした後にフローティングにし、ゲート電極の電圧を読み出し電圧 $V_{ref}$ 、ソース線を0Vとして、メモリセルに電流が流れるか否かをビット線で検出することにより行われる。すなわち、メモリセルの閾値 $V_{th}$ が $V_{ref}$ よりも大きい、書き込み状態ならばメモリセルはオフになるのでビット線はプリチャージ電位を保つ。これに対して選択メモリセルの閾値 $V_{th}$ が $V_{ref}$ よりも小さい消去状態ならばメモリセルはオンするのでビット線の電位はプリチャージ電位から $\Delta V$ だけ低下する。この電位変化をセンスアンプで検知することによってメモリセルのデータが読み出される。

## 【0197】

ここで、図52(B)に示されるように、データ保持絶縁膜173は第1ゲート電極170に対して突き出した形状となっている。ここで、突き出す程度はデータ保持絶縁膜173が0.5nmから10nm程度、素子分離領域160中に入っている。ここで、突き出す程度が小さいと、効果が得られず、突き出す程度が大きすぎると製造工程において、困難が生じ、微細化には不適切である。

## 【0198】

また、図 5 2 (C) に示されるように、素子分離溝 1 6 0 はゲート絶縁膜中のトンネル絶縁膜 1 7 2 及びデータ保持絶縁膜 1 7 3 に対して自己整合的に形成されている。このトンネル絶縁膜 1 7 2 及びデータ保持絶縁膜 1 7 3 は、ブロック絶縁膜 1 7 4 及び第 1 ゲート電極 1 7 0 より、左右方向に突き出している。このように、電荷蓄積絶縁膜はゲート電極に対して突き出しており、両端が素子分離絶縁膜中に入り込んだ形状となっている。ここでは、“Q-R” 線に平行な方向の制御ゲートの 2 辺と、“O-P” 線に平行な方向の拡散層の 2 辺で囲まれた制御ゲート下の矩形状の半導体基板領域が島状領域となる。

## 【 0 1 9 9 】

第 1 ゲート電極 1 7 0 の下方端の両側の半導体基板 1 6 1 上にはソース、ドレイン不純物領域 1 6 2、1 6 3 が形成され、データの読み出し時にはゲートの長手方向 (“Q-R” 線方向) に流れる電流量によって記憶されたデータを判別する。このように、本実施の形態の半導体装置においてはデータ保持絶縁膜が、ゲート電極または半導体基板またはその両方に対して突き出しているために、データ保持絶縁膜の突き出し部がメモリセルトランジスタの電荷蓄積領域としてもゲート絶縁膜としても使用されない。

## 【 0 2 0 0 】

データ保持絶縁膜のエッジ部は中央部と比較して、加工ダメージによって電荷保持力が劣るが、この領域の電荷保持特性がメモリセルの電荷保持特性に影響しないために、信頼性の高い不揮発性半導体記憶装置が実現できる。

## 【 0 2 0 1 】

ここで、図 5 2 (B) に示される断面で、メモリセルを領域①、②、③としてエッジ部と中央部とに分割する。さらに、図 5 2 (C) に示される断面で、メモリセルを領域④、⑤、⑥としてエッジ部と中央部に分割する。ここでは、エッジ部①、③、④、⑥の電荷蓄積絶縁膜の特性が中央部②、⑤と同一であるために、エッジ部に起因した信頼性劣化がない。このように突き出し部の突き出しの長さは、加工ダメージの進入深さよりも大きい値とすることで、エッジ部①、③、④、⑥の特性が中央部②、⑤の特性と等しくなる。

## 【 0 2 0 2 】

ここで、特にソース、ドレイン間電流の流れる方向（図52（A）の“Q-R”方向）と平行な2辺（ゲートエッジを定義する2辺）で、データ保持絶縁膜が突き出している形状になっていることの効果が大きい。これは図52（B）の領域①、③はソース、ドレイン間において中央部②と並列に配置されているため、この部分の電荷抜けによる閾値低下がメモリセル全体の閾値低下として検知されるため、特に①、③の部分の電荷抜けを防ぐ必要があるためである。

## 【0203】

図52（B）に示す断面での各領域をトランジスタを用いた回路図で表すと図53（A）の通りとなるが、各領域①、②、③の特性が等しいため、図53（B）に示されるように1つのトランジスタで表現される。さらに図52（C）に示す断面での各領域をトランジスタを用いた回路図で表すと図53（C）の通りとなるが、各領域④、⑤、⑥の特性が等しいため、図53（D）に示されるように1つのトランジスタで表現される。

## 【0204】

本実施の形態では、データ保持絶縁膜の両端が、ゲート電極及び半導体基板の両方に対して突き出しているが、ゲート電極又は半導体基板のいずれかに対して突き出しているだけでもよい。すなわち、図52の“O-P”断面又は“Q-R”断面のいずれか一方のみを採用し、他方を本実施の形態のプロトタイプの通りとしてもよい。また、本実施の形態ではメモリセルトランジスタの素子領域を定義する4辺全てにおいてデータ保持絶縁膜が突き出しているが、4辺のうち少なくとも1辺、好ましくは、ソース、ドレイン間電流の流れる方向と平行な2辺で、データ保持絶縁膜が突き出している形状であればよい。

## 【0205】

本実施の形態の半導体装置においては、第3の実施の形態の半導体装置の効果と同様の効果を得ることができる。すなわち、データ保持絶縁膜が、ゲート電極又は半導体基板又はその両方に対して突き出しているために、データ保持絶縁膜のエッジ部がメモリセルトランジスタの電荷蓄積領域としてもゲート絶縁膜としても使用されない。データ保持絶縁膜のエッジ部は中央部と比較して、加工ダメージによって電荷保持力が劣るが、この領域の電荷保持特性がメモリセルの電荷

保持特性に影響しないために、信頼性の高い不揮発性メモリが実現できる。

#### 【0206】

次に図54乃至図62を用いて、本実施の形態の半導体装置の製造方法の一例を説明する。

#### 【0207】

図54乃至図62においては、それぞれ各図の(A)図が図52(A)における“Q-R線上での断面、(B)図が図52(A)における“O-P”線上での断面に相当している。

#### 【0208】

まず、半導体基板161上に犠牲酸化膜(図示せず)を形成した後、チャネル不純物やウエル不純物の注入を行い、犠牲酸化膜を剥離する。

#### 【0209】

次に、図54(A)及び図54(B)に示されるように、半導体基板161上に例えば1~15nm程度の厚さのシリコン酸化膜やシリコン窒化膜等のトンネル絶縁膜172、例えば3~30nm程度の厚さのシリコン窒化膜やシリコン酸窒化膜、 $Ta_2O_5$ 、 $TiO_2$ 、 $Al_2O_3$ 等の絶縁膜により、データ保持絶縁膜173を順次形成する。さらに例えば1~15nm程度の厚さのシリコン酸化膜やシリコン酸窒化膜等により、ブロック絶縁膜174を形成する。さらにその上に、例えばポリシリコン等により、第1ゲート電極170を10~100nm程度の厚さで堆積する。さらにシリコン窒化膜等の絶縁膜を10~200nm程度の厚さで堆積してマスク材180を形成する。

#### 【0210】

次に、図55(A)に示される工程において、フォトリソグラフィーによって素子分離領域のパターンニングを行った後、マスク材180、第1ゲート電極170を異方性エッチングにより加工する。なお、図55(B)に示される断面では、エッチングは行なわれない。

#### 【0211】

次に、図56(A)に示されるように、マスク材180をマスクに半導体基板161中に拡散層不純物を注入して、ソース、ドレイン不純物領域162、16

3を形成する。

#### 【0212】

次に、図57(A)に示されるようにシリコン酸化膜等の絶縁膜を例えば5～50nm程度の厚さで堆積した後、異方性エッチングによってエッチバックし、ゲート側壁絶縁膜181を形成し、これをマスクとしてブロック絶縁膜174、データ保持絶縁膜173、トンネル絶縁膜172、及び半導体基板161を異方性エッチングにより加工し、素子分離溝177を形成する。ここで、形成される素子分離溝177の深さは例えば約50nm～300nm程度である。なお、図57(B)に示される断面では、素子分離溝は形成されない。このようにゲート側壁絶縁膜181を形成することで、チャンネル端にソース、ドレイン不純物領域162、163を残すことができる。この残されたソース、ドレイン不純物領域162、163の幅は、残されたゲート側壁絶縁膜181の幅に対応して制御できる。その結果、第1ゲート電極170に対して、ゲート側壁絶縁膜181の膜厚だけ、データ保持絶縁膜175が突き出した形状となる。

#### 【0213】

次に、必要に応じてエッチングダメージ回復のための熱処理を行った後、図58(A)に示されるように、素子分離溝177をシリコン酸化膜等の絶縁膜で埋め込み、CMP法によって平坦化した後、CMP法のストッパであるマスク材180をウェットエッチングにより除去する。また、図58(B)に示される断面においては、マスク材180を除去して、第1ゲート電極170の上表面を露出させる。

#### 【0214】

次に、図59に示されるように、例えばポリシリコンやWSiとポリシリコンとのスタック構造、または、NiSi、MoSi、TiSi、CoSiとポリシリコンのスタック構造、金属とポリシリコンのスタック構造、またはシリコンの金属化合物や金属の単層構造からなる第2ゲート電極171を堆積し、第1ゲート電極170と合わせて、メモリセルのゲート電極166とする。

#### 【0215】

次に、図60(B)に示されるようにフォトリソグラフィーによってゲート

のパターンを形成し、異方性エッチングによってゲート電極166をエッチングする。この際、通常の場合、ブロック絶縁膜174はわずかにエッチングされるが、データ保持絶縁膜173はエッチングしないようにする。

## 【0216】

必要に応じてエッチングダメージ回復のための熱処理を行ってもよい。また、この工程の後に、例えば、2nmから20nmの範囲で、第1ゲート電極を酸化することによって、ダメージ回復を行っても良い。なお、図61(A)に示される断面においては、ゲート電極166はエッチングされない。

## 【0217】

次に、図61(B)に示されるように、例えば、TEOSやHTOからなるシリコン酸化膜又はシリコン窒化膜からなる絶縁膜を例えば5~50nm程度の厚さで堆積し、異方性エッチングによってこれをエッチバックし、ゲート側壁絶縁膜175を形成する。このときにゲート側壁絶縁膜175をマスクとしてデータ保持絶縁膜173及びトンネル絶縁膜172もエッチングする。その結果、ゲート電極166に対して、ゲート側壁絶縁膜175の膜厚だけ、データ保持絶縁膜173が突き出した形状となる。なお、図61(A)に示される断面では、ゲート側壁絶縁膜175は形成されない。

## 【0218】

ここで、側壁絶縁膜175を堆積によってではなく、ゲート多結晶シリコンを酸化することによって形成しても良い。この場合、側壁絶縁膜175の厚さは酸化量によって調整される。

## 【0219】

次に、図62に示されるように、層間絶縁膜176を表面上に堆積し、層間絶縁膜176中にコンタクトプラグ167を形成し、メタル配線(図示せず)等を形成する工程を経て不揮発性メモリセルを完成させる。

## 【0220】

このように、本実施の形態の半導体装置の製造方法によれば、ゲート電極に対してデータ保持絶縁膜が突き出した形状となっているので、ブロック絶縁膜、データ保持絶縁膜、及びトンネル絶縁膜をエッチングする工程における加工ダマ

ジを受けたデータ保持絶縁膜端をデータ保持絶縁膜およびトランジスタのゲート絶縁膜として使用しなくて済むため、メモリセルの信頼性が向上する。とりわけ、図52(A)におけるソース、ドレイン間電流の流れる方向(“Q-R”線方向)と平行な2辺(ゲートエッジを定義する2辺)において、データ保持絶縁膜が突き出している形状になっていることの効果が大きい。

## 【0221】

本実施の形態の製造方法によれば、第3の実施の形態と同様の効果を得ることができる。すなわち、第1ゲート電極でチャンネル幅を規定し、第2ゲート電極でチャンネル長を規定することによって、メモリセルを形成するデータ保持絶縁膜の面積を2つのリソグラフィによって決めることができる。さらにこの2つのリソグラフィでは、直線状のパターンを用いることができる。よって、浮遊ゲートと制御ゲートとのリソグラフィ寸法に大きく依存する浮遊ゲート型不揮発性半導体装置よりも寸法ばらつきのメモリ特性に対する影響要因をチャンネル幅とチャンネル長以外で減らすことができる。よって、メモリセルごとの書き込み電圧や消去電圧を安定させることができ、信頼性を向上できる。

## 【0222】

また、第1ゲート電極が形成されていない部分には、データ保持絶縁膜が形成されていない。よって、例えば、第2ゲート電極の下にデータ保持絶縁膜が形成されている場合に生じる第2ゲート電極の下でのデータ保持絶縁膜の電極加工中や動作時のデータ保持絶縁膜への電荷注入が生じない。よってこれらの電荷注入が起因となる隣接するメモリセル間の耐圧ばらつきや電流漏れの問題が生じない。

## 【0223】

(第4の実施の形態の変形例)

本変形例では、図63に示されるようにバーチャルグラウンドアレイセル構造を実現する。図63は、図52(C)に示される断面に対応した構造を拡大して示している。ここでは、第4の実施の形態と異なり、素子分離領域160を設けておらず、代わりに高濃度不純物領域185が半導体基板161中に設けられている。

## 【0224】

この半導体装置の製造方法は、第4の実施の形態の半導体装置の製造方法において、図57に示された半導体基板161をエッチングする工程に代えて、半導体基板161表面からマスク材180の高さまで絶縁膜を埋め込む。

## 【0225】

さらに、図61に示される工程に代えて、図63に示されるように、隣接するゲート電極間の素子分離を良好とするために例えば、ボロンやインジウムからなるP型不純物を $10^{11} \text{ cm}^{-2}$ から $10^{14} \text{ cm}^{-2}$ の範囲で注入して高濃度不純物領域185を形成する。この際、ソース及びドレイン不純物領域部分は、側壁絶縁膜が上部にもあらかじめ形成されているので、P型不純物のイオンが側壁絶縁膜下の手前で止まるように制限することにより、N型ソース及びドレイン不純物領域にはP型不純物の混入を行わないように制限できる。このP型不純物のイオン注入エネルギーとしては、1 eVから100 eVの範囲とする。また、この際、P型不純物注入イオンのデータ保持絶縁膜に導入されるダメージをゲート電極側壁絶縁膜によって分離することができ、より高信頼性のメモリセルを実現できる。このような形状のバーチャルグラウンドアレイセルでは、絶縁物埋め込みによる素子分離領域に替えて、Pプラス拡散層又はNプラス拡散層を形成し、それぞれが素子分離の役割を果たしている。ここでは、Nプラス拡散層がビット線になったり、ソース線になったりして固定されていない。

## 【0226】

本変形例は、第4の実施の形態同様の効果を有し、さらに、隣接するゲート電極間の素子分離を良好とするために、例えば、ボロンやインジウムからなるP型不純物を添加した場合には、エッジ部分の反転層形成を抑え、さらに接するメモリセル間のチャネル間の耐圧ばらつきや電流漏れの問題発生を低減できる。

## 【0227】

## (第5の実施の形態)

本発明における第5の実施の形態の半導体装置の構造を図64に示す。図64(A)には、本形態の半導体装置の上面図が示されていて、素子分離領域190に囲まれて、素子領域191が直線状に左右方向に形成されている。この素子領域191の長手方向に直交して、ゲート電極192が形成されている。素子領域



191には、ゲート電極192の左右それぞれの側にコンタクト193が1対設けられている。また、ゲート電極192には、その端部に幅の広い領域が設けられ、そこにはゲートコンタクト194が設けられている。このメモリセルではゲート電極192の両側の素子領域191がソース拡散層195、ドレイン拡散層196となり、データ読み出し時にはソース拡散層195からドレイン拡散層196へ図64(A)中の矢印で示されるSからT方向へ流れる電流量によって書き込み状態と消去状態とを判別する。このような構造は、NAND型EEPROMやNOR型EEPROM等で利用される。

## 【0228】

図64(A)における“S-T”線上での断面図が、図64(B)に示される。半導体基板197上にゲート電極192が形成され、その両側の半導体基板197中にソース拡散層195、ドレイン拡散層196が形成されている。ゲート電極192は、トンネル絶縁膜198、データ保持絶縁膜(電荷蓄積領域)199、ブロック絶縁膜200からなるゲート絶縁膜の上に積層されている。半導体基板197、ゲート電極192の表面上には層間絶縁膜201が形成されている。ここで、ブロック絶縁膜200はゲート電極192のエッジ部202で、その厚さが中央部よりも厚く形成されている。

## 【0229】

また、図64(A)における“U-V”線上での断面図が、図64(C)に示される。半導体基板197中には、素子分離溝203が設けられ、その中に素子分離領域190が形成されている。素子分離領域190の間には、トンネル絶縁膜198、データ保持絶縁膜199、ブロック絶縁膜200からなるゲート絶縁膜及びゲート電極192が形成されている。このブロック絶縁膜200上には、ゲート電極192が素子分離領域190上にまで延在して形成されている。ここで、ブロック絶縁膜200はゲート電極192のエッジ部204において、その厚さが中央部よりも厚く形成されている。

## 【0230】

このようにゲート絶縁膜厚がゲート電極のエッジ部で厚くなっていることに特徴があり、このためにリードディスタンプ特性が改善する。とくにトンネル絶縁

膜198又はブロック絶縁膜200が厚くなっていることに特徴があり、好ましくはブロック絶縁膜200のエッジ部が厚くなっていることが望ましい。これは電荷が通過するトンネル酸化膜198やデータ保持絶縁膜199の膜厚が不均一であると、消去特性やデータ保持特性のばらつきの原因となるのに対して、電荷の通過がないブロック絶縁膜200がエッジで厚膜化しても、特性ばらつきの原因とはならないためである。

## 【0231】

ここで、不揮発性メモリの読み出し動作においては、ゲート電極に読み出し電圧 $V_{ref}$ が加えられるが、読み出し動作を繰り返すのに伴い、 $V_{ef}$ により作られた電界によって消去状態のセルの閾値が上昇し、書き込み状態のセルとの閾値マージンが減少するという問題があり、これはリードディスターストと呼ばれる。

## 【0232】

本実施の形態ではエッジ部で、ゲート絶縁膜が厚膜化しているために、 $V_{ref}$ が作る電界がエッジ部で弱められる。このためにチャネル中央部と比較してエッジ部でリードディスターストによる閾値変動が抑制される。これは、図64(B)及び(C)で示すようにメモリセルを①、②、③及び④、⑤、⑥に分割した場合に、①、③と④、⑥の閾値変動が小さくなることを示している。これらの領域①、②、③、④、⑤、⑥はバースピークの進入深さで定義される。

## 【0233】

特にソース、ドレイン間電流が流れる方向である図64(A)の“S-T”線方向と平行な2辺(素子分離端)における閾値変動が小さくなることの効果が大きい。

## 【0234】

このことを図65を用いて説明する。図65(A)には、図64(B)の断面に相当するトランジスタの回路図を示し、図65(B)には、図64(C)の断面に相当するトランジスタの回路図を示し、図65(C)には横軸にゲート電圧、縦軸にドレイン電流を表し、データ保持絶縁膜の状態ごとの電流-電圧特性の変化を示す。図65(A)に示される回路図では、ゲートが共通に接続された3

つのトランジスタ①、②、③がソース、ドレイン間で直列に接続された構成が示される。このトランジスタ①、②、③は、図 6 4 (B) におけるメモリセルトランジスタ①、②、③の領域にそれぞれが対応している。トランジスタ①、③がブロック絶縁膜が厚膜化しているエッジ部 2 0 2 に対応する。また、図 6 5 (B) に示される回路図では、ゲートが共通に接続された 3 つのトランジスタ④、⑤、⑥がソース、ドレイン間で並列に接続された構成が示される。このトランジスタ④、⑤、⑥は、図 6 4 (C) におけるメモリセルトランジスタ④、⑤、⑥の領域にそれぞれが対応している。トランジスタ④、⑥がブロック絶縁膜が厚膜化しているエッジ部 2 0 4 に対応する。

## 【 0 2 3 5 】

図 6 5 (C) はメモリセルのドレイン電流 ( $I_d$ ) - ゲート電圧 ( $V_g$ ) 特性を示している。消去状態のメモリセルは読み出し時の  $V_{ref}$  ストレスによって閾値が上昇するが、エッジ部④、⑥では電界が弱められているために閾値変動が小さい。MONOS 型メモリのように電荷蓄積層として絶縁膜を用いたメモリでは、トラップされた電荷が絶縁膜中をほとんど移動しないので、エッジ部④、⑥の閾値は中央部⑤と比較して低いままに保たれる。図 6 5 (C) に示されるように領域④、⑤、⑥はソースドレイン間に並列に配置されているので、メモリセルの閾値は、より閾値の低い④、⑥によって決定される。このためエッジ部の電界を弱めて領域④、⑥の閾値変動を抑制することにより、メモリセルの閾値変動を抑制することが可能となる。

## 【 0 2 3 6 】

本実施の形態のメモリセルでは、半導体基板 1 9 7 中の上部には図示しない低濃度不純物領域であるウェルが形成されている。半導体基板 1 9 7 上に例えば膜厚が 1 nm ~ 1 5 nm 程度のシリコン酸化膜やシリコン酸窒化膜等からトンネル絶縁膜 1 9 8 が形成されている。さらに、このトンネル絶縁膜 1 9 8 上には、膜厚が例えば 3 nm ~ 3 0 nm 程度のシリコン窒化膜、シリコン酸窒化膜、 $Ta_2O_5$  膜、 $TiO_2$  膜、 $Al_2O_3$  膜等の絶縁膜でデータ保持絶縁膜 1 9 9 が形成されている。

## 【 0 2 3 7 】

さらにこのデータ保持絶縁膜199の上には、膜厚が例えば1nm～15nm程度のシリコン酸化膜やシリコン酸窒化膜等でブロック絶縁膜200が形成されている。このブロック絶縁膜200の上には、例えばポリシリコンやWSi（タングステンシリサイド）とポリシリコンとのスタック構造、又は、NiSi, MOSi, TiSi, CoSiとポリシリコンのスタック構造、金属とポリシリコンのスタック構造、又はシリコンの金属化合物や金属の単層構造からなるゲート電極202が10nmから500nmの厚さで形成されている。ここで、トンネル絶縁膜198の端に接する半導体基板197中には、ソース不純物領域195、ドレイン不純物領域196が形成されている。

## 【0238】

図64に示されたトランジスタがメモリセルを構成する。消去動作、書き込み動作、読み出し動作は、第3の実施の形態又は第4の実施の形態と同様である。

## 【0239】

本実施の形態では、ゲート絶縁膜をエッジ部で厚膜化することによって、リードディスターストレス時の電界をエッジ部で弱めて、エッジにおける閾値変動を抑制する。

## 【0240】

すなわち、読み出し電流が流れる向きと並列に配置された、絶縁膜端部における閾値上昇を小さくすることで、チャネル中央部の閾値が上昇してもメモリセルの閾値としてはエッジ部の閾値を検知するので、リードディスターストによるメモリセルの閾値変動を小さくすることができる。

## 【0241】

また、電荷の通過のないブロック絶縁膜の膜厚を変化させることで、書き込み消去特性やデータ保持特性のばらつきを引き起こすことなく、エッジ部で電界を弱めることができる。

## 【0242】

ここで、図64（C）に示された断面に、第3の実施の形態の半導体装置の構造を組み合わせ構成した半導体装置の構造の断面を拡大した例を図66に示す。ゲート電極192は第1ゲート電極205とその上の第2ゲート電極206と

からなり、第1ゲート電極205下の半導体基板197と素子分離領域190の間には、素子分離側壁絶縁膜207が形成されている。また、第1ゲート電極205側面と素子分離領域190の間には、ゲート電極側壁絶縁膜（ポリシリコン側壁絶縁膜）208が形成されている。ブロック絶縁膜200は、第1ゲート電極205端部下で、その厚さが他の部分よりも厚く形成されている。また、第2ゲート電極206がゲート電極側壁絶縁膜208及び素子分離領域190に接する端部209では、第2ゲート電極206が半導体基板197方向へ張り出している。このように、データ保持絶縁膜199は第1ゲート電極205よりもゲート電極側壁絶縁膜208の厚さ分、素子分離領域203方向に突き出している。

## 【0243】

次に、図64（B）に示された断面に、第3の実施の形態の半導体装置の構造を組み合わせて構成した半導体装置の構造の断面を拡大した例を図67に示す。半導体基板197上には、トンネル絶縁膜198が形成され、その上にはデータ保持絶縁膜199が形成されている。このデータ保持絶縁膜199上には、ブロック絶縁膜200が形成され、その上には、第1ゲート電極205が形成されている。この第1ゲート電極205上には第2ゲート電極206が形成され、第1ゲート電極205及び第2ゲート電極206側壁には、ゲート電極側壁絶縁膜（ポリシリコン側壁絶縁膜）208が形成されている。

## 【0244】

ここで、第1ゲート電極205端部下のブロック絶縁膜200とその上のゲート電極側壁絶縁膜208を合わせた厚さが他の部分におけるブロック絶縁膜200の厚さよりも厚く形成されている。トンネル絶縁膜198端部下の半導体基板197中には、ドレイン不純物領域196が形成されている。このドレイン不純物領域196上方にデータ保持絶縁膜199が形成されていない領域では、表面酸化膜210が形成されている。この表面酸化膜210上には、層間絶縁膜201が形成されている。ここで、トンネル絶縁膜198、データ保持絶縁膜199、ブロック絶縁膜200は、第1ゲート電極205よりもゲート電極側壁絶縁膜208の厚さ分、層間絶縁膜201方向に突き出している。

## 【0245】

本実施の形態では、ブロック絶縁膜 2 0 0（ポリシリコン側壁酸化膜 2 0 8 の底部付近の領域をも合わせて含んだ絶縁膜）の両端が、ソース、ドレイン不純物領域 1 9 5、1 9 6 近辺と素子分離領域 2 0 3 近辺の両方において、厚く形成されているが、ソース、ドレイン不純物領域 1 9 5、1 9 6 近辺と素子分離領域 2 0 3 近辺のいずれかにおいて、厚さが厚く形成されていてもよい。すなわち、図 6 4（A）の“S-T”線での断面又は“U-V”線での断面のいずれか一方のみを採用し、他方を第 3 の実施の形態のプロトタイプの通りとしてもよい。

## 【0 2 4 6】

なお、第 1 の実施の形態における図 2 及び図 3 に示されるような形状の半導体装置としても本実施の形態の半導体装置の効果を得ることができる。

## 【0 2 4 7】

次に図 6 8 乃至図 7 6 を用いて、本実施の形態の半導体装置を実現するための製造方法の一例を説明する。

## 【0 2 4 8】

図 6 8 乃至図 7 6 においては、それぞれ各図の（A）図が図 6 4（A）における“S-T”線上での断面、（B）図が図 6 4（A）における“U-V”線上での断面に相当している。

## 【0 2 4 9】

まず、半導体基板 1 9 7 上に犠牲酸化膜（図示せず）を形成した後、チャネル不純物やウェル不純物の注入を行い、犠牲酸化膜を剥離した後、図 6 8 に示されるように、半導体基板 1 9 7 上に例えば 1 ～ 1 5 n m 程度の厚さのシリコン酸化膜やシリコン酸窒化膜等のトンネル絶縁膜 1 9 8 を形成する。次に、例えば 3 ～ 3 0 n m 程度の厚さの電荷蓄積絶縁膜であるシリコン窒化膜やシリコン酸窒化膜、 $Ta_2O_5$  膜、 $TiO_2$  膜、 $Al_2O_3$  膜等の絶縁膜、さらに例えば 1 ～ 1 5 n m 程度のシリコン酸化膜やシリコン酸窒化膜等のブロック絶縁膜 2 0 0 を介して、例えばポリシリコン等の第 1 ゲート電極 2 0 5 を 1 0 ～ 1 0 0 n m 程度の厚さで堆積する。さらにマスク材 2 1 1 となるシリコン窒化膜等の絶縁膜を 1 0 ～ 2 0 0 n m 程度の厚さで堆積する。

## 【0 2 5 0】

次に、図69(A)に示されるように、フォトリソグラフィーによって素子分離領域のパターンニングを行った後、マスク材211、第1ゲート電極205を異方性エッチングにより加工する。なお、図69(B)における断面では、素子分離領域はパターンニングされない。

#### 【0251】

次に、図70(A)に示されるように、第1ポリシリコン電極205を酸化して、ポリシリコン側壁酸化膜208を形成する。このとき酸化剤がゲート電極エッジに入り込みブロック絶縁膜200がエッジ部で厚膜化するように酸化条件を調整する。なお、図70(B)に示される断面では、ポリシリコン側壁酸化膜208は形成されない。

#### 【0252】

ここで、メモリセルのゲート幅を $L_W$ とすると、バースピークによって厚膜化しないブロック絶縁膜を残し、均一な書き込み消去状態を実現する必要がある。このため、バースピークの進入長は $L_W$ の $1/2$ 以下である必要がある。この進入長を得る酸化膜厚は、ゲート電極側壁部の酸化膜厚増分を $L_W$ の $1/4$ より小さくする必要がある。

#### 【0253】

よって、 $L_W$ を $0.2\mu\text{m}$ 以下に微細化した場合、酸化膜厚増分を $50\text{nm}$ より小さくする必要がある。一方、側壁酸化量が $20\text{nm}$ 以下の場合、酸化膜厚増分は、側壁酸化量の $1/4$ 程度である。ここで、素子分離膜形成のダメージ領域を回避するために $2\text{nm}$ 以上の側壁酸化が必要であり、端部で厚膜化する酸化膜厚増分は $0.6\text{nm}$ 以上 $50\text{nm}$ 以下の範囲内にすることが望ましい。

#### 【0254】

次に、図71(A)に示されるように、ゲート絶縁膜198、199、200及び半導体基板197を異方性エッチングして素子分離溝203を形成する。次に、この素子分離溝203側面を酸化して、素子分離側壁酸化膜207を形成する。このように図70(A)に示される第1ゲート電極205の酸化によって、ポリシリコン側壁酸化膜208を形成し、このポリシリコン側壁酸化膜208をマスクとして、データ保持絶縁膜199がエッチングされるため、ポリシリコン

側壁酸化膜 2 0 8 とデータ保持絶縁膜 1 9 9 とを自己整合的に位置合わせを行うことができる。よって、後述する  $\text{HDP-SiO}_2$  の素子分離絶縁膜埋め込み時のダメージを受けるデータ保持絶縁膜端の突出部を非常に小さくでき、信頼性が向上する。

## 【 0 2 5 5 】

また、半導体領域の側壁酸化膜厚さをポリシリコンの側壁酸化膜よりもはるかに薄膜化ができる。その厚さは例えば 0 から 1 0 n m 程度の範囲に設定でき、半導体領域の凸部の薄膜での電界集中を防ぐことができる。

## 【 0 2 5 6 】

ここで、データ保持絶縁膜に順テーパが形成されるようにエッチングされる条件を用いることで、後の工程での素子分離トレンチへのシリコン酸化膜埋め込みをより容易にすることができる。順テーパの角度は半導体基板表面を基準として  $60^\circ$  から  $89^\circ$  の範囲の角度が好ましい。製造方法において、素子分離絶縁膜を埋め込む際に、ゲート電極側壁酸化膜、データ保持絶縁膜、及び半導体基板をすべて順テーパで形成することができるために、素子分離絶縁膜の埋め込み性が向上し、信頼性が向上する。また、ブロック絶縁膜にバースピークを入れることによってリードディスタープ特性が向上する。

## 【 0 2 5 7 】

本実施の形態においては、データ保持絶縁膜の両端は、半導体基板から 0 . 5 n m 以上 1 5 n m 以下の範囲で突き出していることが信頼性上望ましく、トレンチ内壁に形成した酸化膜の厚さは 1 n m 以上 1 6 n m 以下の範囲で形成することが好ましい。

## 【 0 2 5 8 】

次に必要に応じてエッチングダメージ回復のための熱処理を行ってもよい。

## 【 0 2 5 9 】

さらに、 $\text{HDP-SiO}_2$  や  $\text{TEOS}$  などのシリコン酸化膜などの堆積方法で、素子分離溝をシリコン酸化膜等の絶縁膜で埋め込み、CMP 法によって平坦化する。なお、図 7 1 ( B ) に示される工程では、素子分離溝は形成されない。

## 【 0 2 6 0 】



次に、図72に示されるように、CMP法のストッパであるマスク材211をウェットエッチングにより除去する。

#### 【0261】

次に、図73に示されるように、ポリシリコンやWSi（タングステンシリサイド）とポリシリコンとのスタック構造、または、NiSi、MoSi、TiSi、CoSiとポリシリコンのスタック構造、金属とポリシリコンのスタック構造、またはシリコンの金属化合物や金属の単層構造からなる第2ゲート電極206を堆積し、第1ゲート電極205と合わせて、メモリセルのゲート電極192とする。

#### 【0262】

次に、図74（B）に示されるようにフォトリソグラフィーによってゲートのパターンを形成し、異方性エッチングによってゲート電極192をエッチングする。このとき、ブロック絶縁膜200、データ保持絶縁膜199、トンネル絶縁膜198はエッチングしない。なお、図74（A）に示される断面では、ゲート電極のエッチングは行なわれない。

#### 【0263】

次に、図75（B）に示されるようにゲート電極192を酸化する。このとき酸化剤がゲート電極エッジに入り込みブロック絶縁膜200がエッジ部で厚膜化するように酸化条件を調整する。なお、図75（A）に示される断面では、ゲート電極の酸化は行なわれない。

#### 【0264】

ここで、メモリセルのゲート幅を $L_W$ とすると、バースピークによって厚膜化しないブロック絶縁膜を残し、均一な書き込み消去状態を実現する必要がある。このため、バースピークの進入長は $L_W$ の $1/2$ 以下である必要がある。この進入長を得る酸化膜厚は、ゲート電極側壁部の酸化膜厚増分を $L_W$ の $1/4$ より小さくする必要がある。

#### 【0265】

よって、 $L_W$ を $0.2\mu\text{m}$ 以下に微細化した場合、酸化膜厚増分を $50\text{nm}$ より小さくする必要がある。一方、側壁酸化量が $20\text{nm}$ 以下の場合、酸化膜厚増

分は、側壁酸化量の1/4程度である。ここで、素子分離膜形成のダメージ領域を回避するために2nm以上の側壁酸化が必要であり、端部で厚膜化する酸化膜厚増分は、0.6nm以上50nm以下の範囲内にすることが望ましい。

## 【0266】

次に、図76(B)に示されるように、ゲート側壁絶縁膜212をマスクとして、ブロック絶縁膜200、データ保持絶縁膜199、トンネル絶縁膜198をエッチングする。

## 【0267】

次に、拡散層不純物注入、層間絶縁膜201を堆積し、コンタクトプラグ193、194を形成し、メタル配線（図示せず）等の工程を経て不揮発性メモリセルを完成させる。

## 【0268】

このように、本実施の形態によれば、ゲート電極のエッジ部においてゲート絶縁膜、とくにブロック絶縁膜が厚膜化しているためにデータ読み出し時にゲート絶縁膜に加わる電界をエッジ部において低下させることができるのでリードディスターブ特性が向上する。とりわけ、図64(A)におけるソース、ドレイン間電流の流れる方向（S-T方向）と平行な2辺（素子分離端と接する2辺）で、ゲート絶縁膜が厚膜化していることの効果が大きい。

## 【0269】

本実施の形態ではメモリセルトランジスタの素子領域を定義する4辺全てのエッジ部においてゲート絶縁膜が厚膜化しているが、4辺のうち少なくとも1辺、好ましくは、ソース、ドレイン間電流の流れる方向と平行な2辺のエッジ部で、ゲート絶縁膜、好ましくはブロック絶縁膜が厚膜化していればよい。

## 【0270】

また、本実施の形態の半導体記憶装置の製造方法によれば、第3の実施の形態の半導体装置の製造方法と同様の効果を得ることができる。さらに、リードディスターブによるメモリセルの閾値変動が小さい半導体装置の製造方法を提供することができる。

## 【0271】

## (第 6 の実施の形態)

本実施の形態の自己整合 S T I を用いた M O N O S 型メモリセルが図 7 7 に示される。図 7 7 (A) には、本形態の半導体装置の上面図が示されていて、素子分離領域 2 1 5 に接して、一方側の半導体基板 2 1 6 中にソース不純物領域 2 1 7 が直線状に左右方向に形成されている。このソース不純物領域 2 1 7 に対向して、素子分離領域 2 1 5 に接して、他方側の半導体基板 2 1 6 中にドレイン不純物領域 2 1 8 が形成されている。ソース不純物領域 2 1 7 には、その一部で幅が広く形成されていて、そこにはソースコンタクト 2 1 9 が形成されている。さらにドレイン不純物領域 2 1 8 には、その一部で幅が広く形成されていて、そこにはドレインコンタクト 2 2 0 が形成されている。これらソース不純物領域 2 1 7、ドレイン不純物領域 2 1 8 の長手方向に直交して、ゲート電極 2 2 0 が形成されている。

## 【 0 2 7 2 】

また、ゲート電極 2 2 0 には、その端部に幅の広い領域が設けられ、そこにはコンタクト 2 2 1 が設けられている。このメモリセルではゲート電極 2 2 0 の下側の半導体基板 2 1 6 の一部がソース不純物領域 2 1 7、ドレイン不純物領域 2 1 8 となり、データ読み出し時にはソース不純物領域 2 1 7 からドレイン不純物領域 2 1 8 へ図 7 7 (A) 中の矢印で示される Y から Z 方向へ流れる電流量によって書き込み状態と消去状態とを判別する。このような構造は、A N D 型 E E P R O M や D I N O R 型 E E P R O M 等で利用される。

## 【 0 2 7 3 】

図 7 7 (A) における“W-X”線上での断面図が、図 7 7 (B) に示される。半導体基板 2 1 6 上にゲート電極 2 2 0 が形成されている。ゲート電極 2 2 0 は、トンネル絶縁膜 2 2 2、データ保持絶縁膜（電荷蓄積領域）2 2 3、ブロック絶縁膜 2 2 4 からなるゲート絶縁膜の上に積層されている。半導体基板 2 1 6、ゲート電極 2 2 0 の表面上には層間絶縁膜 2 2 5 が形成されている。ここでは、ゲート絶縁膜厚がゲート電極のエッジ部 2 2 6 で厚くなっていることに特徴があり、このためにリードディスタープ特性が改善する。とくにトンネル絶縁膜 2 2 2 又はブロック絶縁膜 2 2 4 が厚くなっていることに特徴があり、好ましくは

ブロック絶縁膜 2 2 4 のエッジ部が厚くなっていることが望ましい。これは電荷が通過するトンネル酸化膜 2 2 2 やデータ保持絶縁膜 2 2 3 の膜厚が不均一であると、消去特性やデータ保持特性のばらつきの原因となるのに対して、電荷の通過がないブロック絶縁膜 2 2 4 がエッジで厚膜化しても、特性ばらつきの原因とはならないためである。

## 【 0 2 7 4 】

また、図 7 7 (A) における“Y-Z”線上での断面図が、図 7 7 (C) に示される。半導体基板 2 1 6 中には、素子分離溝 2 2 7 が設けられ、その中に素子分離領域 2 1 5 が形成されている。素子分離領域 2 1 5 の間には、トンネル絶縁膜 2 2 2、データ保持絶縁膜 2 2 3、ブロック絶縁膜 2 2 4 からなるゲート絶縁膜及びゲート電極 2 2 0 が形成されている。ここでは、ゲート絶縁膜厚がゲート電極のエッジ部 2 2 6 で厚くなっていることに特徴があり、このためにリードデイスターブ特性が改善する。とくにトンネル絶縁膜 2 2 2 またはブロック絶縁膜 2 2 4 が厚くなっていることに特徴があり、好ましくはブロック絶縁膜 2 2 4 のエッジ部が厚くなっていることが望ましい。

## 【 0 2 7 5 】

本メモリセルでは、半導体基板 2 1 6 中の上部には図示しない低濃度不純物領域であるウェルが形成されている。半導体基板 2 1 6 上に例えば膜厚が 1 ~ 1 5 nm 程度のシリコン酸化膜やシリコン酸窒化膜等からトンネル絶縁膜 2 2 2 が形成されている。さらに、このトンネル絶縁膜 2 2 2 上には、膜厚が例えば 3 ~ 3 0 nm 程度のシリコン窒化膜、シリコン酸窒化膜、 $Ta_2O_5$  膜、 $TiO_2$  膜、 $Al_2O_3$  膜等の絶縁膜でデータ保持絶縁膜 2 2 3 が形成されている。

## 【 0 2 7 6 】

さらにこのデータ保持絶縁膜 2 2 3 の上には、膜厚が例えば 1 ~ 1 5 nm 程度のシリコン酸化膜やシリコン酸窒化膜等でブロック絶縁膜 2 2 4 が形成されている。このブロック絶縁膜 2 2 4 の上には、例えばポリシリコンや WSi (タンゲステンシリサイド) とポリシリコンとのスタック構造、又は、NiSi, MOSi, TiSi, CoSi とポリシリコンのスタック構造、金属とポリシリコンのスタック構造、又はシリコンの金属化合物や金属の単層構造からなるゲート電極

166が10nmから500nmの厚さで形成されている。ここで、素子分離領域227の端に接する半導体基板216中には、ソース不純物領域217、ドレイン不純物領域218が形成されている。このソース不純物領域217、ドレイン不純物領域218は、トンネル絶縁膜222の端の下方の素子分離領域227下に形成されている。

## 【0277】

不揮発性メモリの読み出し動作においてはゲート電極に読み出し電圧 $V_{ref}$ が加えられるが、読み出し動作を繰り返すのに伴い、 $V_{ref}$ により作られた電界によって消去状態のセルの閾値が上昇し、書き込み状態のセルとの閾値マージンが減少するリードディスタートという問題がある。

## 【0278】

本実施の形態ではゲート電極220のエッジ部226、228で、ゲート絶縁膜222、224が厚膜化しているために、 $V_{ref}$ が作る電界がエッジ部226、228で弱められる。このためにチャネル中央部と比較してエッジ部226、228でリードディスタートによる閾値変動が抑制される。これは、図77(B)、(C)で示すようにメモリセルを領域①、②、③及び領域④、⑤、⑥に分割した場合に、領域①、③と領域④、⑥の閾値変動が小さくなることを示している。特にソース、ドレイン間電流が流れる方向である図77(A)の“Y-Z”線方向と平行な2辺(素子分離端)における閾値変動が小さくなることの効果が大きい。

## 【0279】

このことを図78(A)、(B)、(C)で説明する。図78(A)には、図77(B)の断面に相当するトランジスタの回路図を示し、図78(B)には、図77(C)の断面に相当するトランジスタの回路図を示し、図78(C)には横軸にゲート電圧、縦軸にドレイン電流を表し、データ保持絶縁膜の状態ごとの電流-電圧特性の変化を示す。図78(A)に示される回路図では、ゲートが共通に接続された3つのトランジスタ①、②、③がソース、ドレイン間で並列に接続された構成が示される。このトランジスタ①、②、③は、図77(B)におけるメモリセルトランジスタ①、②、③の領域にそれぞれが対応している。また、

図 7 8 (B) に示される回路図では、ゲートが共通に接続された 3 つのトランジスタ④、⑤、⑥がソース、ドレイン間で直列に接続された構成が示される。このトランジスタ④、⑤、⑥は、図 7 7 (C) におけるメモリセルトランジスタ④、⑤、⑥の領域にそれぞれが対応している。

#### 【Q 2 8 0】

図 7 8 (C) はメモリセルのドレイン電流  $I_d$  - ゲート電圧特性  $V_g$  特性を示している。消去状態のメモリセルは読み出し時の  $V_{ref}$  ストレスによって閾値が上昇するが、エッジ部①、③では電界が弱められているために中央部②に比べて、閾値変動が小さい。MONOS 型メモリのように電荷蓄積層として絶縁膜を用いたメモリでは、トラップされた電荷が絶縁膜中をほとんど移動しないので、エッジ部①③の閾値は中央部②と比較して低いままに保たれる。図 7 8 (A) に示すように領域①、②、③はソースドレイン間に並列に配置されているので、メモリセルの閾値は、より閾値の低い領域①、③によって決定される。このためエッジ部の電界を弱めて①、③の閾値変動を抑制することにより、メモリセルの閾値変動を抑制することが可能となる。

#### 【O 2 8 1】

本実施の形態の半導体装置の消去動作、書き込み動作及び読み出し動作は第 4 の実施の形態の半導体装置と同様である。

#### 【O 2 8 2】

次に、図 7 7 (C) に示される断面の拡大図を図 7 9 に示す。

#### 【O 2 8 3】

第 1 ゲート電極 2 3 0 と素子分離領域 2 1 5 の間には、ポリシリコン側壁絶縁膜 2 3 1 が形成されている。さらにこのポリシリコン側壁絶縁膜 2 3 1 と素子分離絶縁膜 2 1 5 との間には、ゲート側壁絶縁膜 2 3 2 が形成されている。このゲート側壁絶縁膜 2 3 2 は、データ保持絶縁膜 2 2 3 の側面にまで延びて形成されている。また、第 2 ゲート電極 2 3 3 が第 1 ゲート電極 2 3 0 上に形成されていて、ポリシリコン側壁酸化膜 2 3 1、ゲート側壁絶縁膜 2 3 2 及び素子分離領域 2 1 5 に接する端部 2 3 4 では、第 2 ゲート電極 2 3 3 が半導体基板 2 1 6 方向へ張り出している。このように、データ保持絶縁膜 2 2 3 は第 1 ゲート電極 2 3

0 よりもポリシリコン側壁酸化膜 2 3 1 の厚さ分、素子分離領域 2 1 5 方向に突き出している。また、ブロック絶縁膜 2 2 4 は第 1 ゲート電極 2 3 0 の端部下で、他の部分よりもその厚さが厚く形成されている。

## 【 0 2 8 4 】

また、トンネル絶縁膜 2 2 2 に接続して、素子分離側壁絶縁膜 2 3 5 が素子分離領域 2 1 5 と半導体基板 2 1 6 との間に形成されている。さらにデータ保持絶縁膜 2 2 3 の端部の下方には、ドレイン不純物領域 2 1 7 が形成されている。

## 【 0 2 8 5 】

図 7 9 に示された構造では、データ保持絶縁膜 2 2 3 の端部が、第 1 ゲート電極 2 3 0 に対して突き出しているが、必ずしも第 1 ゲート電極 2 3 0 に対して突き出している必要はない。すなわち、図 7 7 ( B ) 、 ( C ) に示されるように、ゲート電極に側壁絶縁膜を形成せず、データ保持絶縁膜 2 2 3 の端部がゲート電極 2 2 0 に対して突き出さないように構成できる。また、本実施の形態ではメモリセルトランジスタのゲート電極の端部の下方の 4 辺全てにおいてブロック絶縁膜が厚く形成されているが、4 辺のうち少なくとも 1 辺、好ましくは、ソース、ドレイン間電流の流れる方向と平行な 2 辺の端部で、ゲート絶縁膜、好ましくはブロック絶縁膜が厚く形成されていればよい。

## 【 0 2 8 6 】

このように、本実施の形態の半導体装置によれば、ゲート電極エッジ部下方においてゲート絶縁膜、特にブロック絶縁膜が厚膜化しているためにデータ読み出し時にゲート絶縁膜に加わる電界をゲート電極のエッジ部において低下させることができるのでリードディスタープ特性が向上する。とりわけ、ソース、ドレイン間電流の流れる方向 ( 図 7 7 ( A ) における “ Y - Z ” 線方向 ) と平行な 2 辺 ( ゲートエッジを定義する 2 辺 ) 、すなわち、図 7 7 ( B ) に示される断面で、ゲート絶縁膜端部が厚膜化していることの効果が大きい。

## 【 0 2 8 7 】

次に図 8 0 乃至図 8 8 を用いて、本実施の形態の半導体装置の製造方法の一例を説明する。

## 【 0 2 8 8 】

図80乃至図88においては、それぞれ各図の(A)図が図77(A)における“Y-Z”線上での断面、(B)図が図77(A)における“W-X”線上での断面に相当している。

## 【0289】

まず、半導体基板216上に犠牲酸化膜(図示せず)を形成した後、チャネル不純物やウエル不純物の注入を行い、犠牲酸化膜を剥離する。

## 【0290】

次に、図80(A)及び図80(B)に示されるように、半導体基板216上に例えば1~15nm程度の厚さのシリコン酸化膜やシリコン酸窒化膜等のトンネル絶縁膜222、例えば3~30nm程度の厚さのシリコン窒化膜やシリコン酸窒化膜、 $Ta_2O_5$ 、 $TiO_2$ 、 $Al_2O_3$ 等の絶縁膜により、データ保持絶縁膜223を順次形成する。さらに例えば1~15nm程度の厚さのシリコン酸化膜やシリコン酸窒化膜等により、ブロック絶縁膜224を形成する。さらにその上に、例えばポリシリコン等により、第1ゲート電極230を10~100nm程度の厚さで堆積する。さらにシリコン窒化膜等の絶縁膜を10~200nm程度の厚さで堆積してマスク材240を形成する。

## 【0291】

次に、図81(A)に示される工程において、フォトリソグラフィーによって素子分離領域のパターンニングを行った後、マスク材240、第1ゲート電極230、ブロック絶縁膜224、データ保持絶縁膜223及びトンネル絶縁膜232を異方性エッチングにより加工する。なお、図81(B)に示される断面では、エッチングは行なわれない。

## 【0292】

次に、図82(A)に示されるように、マスク材240をマスクに半導体基板216中に拡散層不純物を注入して、ソース、ドレイン不純物領域217、218を形成する。続いて、第1ゲート電極230を酸化する。このとき酸化剤がゲート電極エッジに入り込みブロック絶縁膜224がエッジ部で厚膜化するように酸化条件を調整する。なお、この工程において、図82(B)に示される断面では、不純物注入や酸化は行なわれない。



## 【0293】

ここで、メモリセルのゲート幅を $L_W$ とすると、バースピークによって厚膜化しないブロック絶縁膜を残し、均一な書き込み消去状態を実現する必要がある。このため、バースピークの進入長は $L_W$ の $1/2$ 以下である必要がある。この進入長を得る酸化膜厚は、ゲート電極側壁部の酸化膜厚増分を $L_W$ の $1/4$ より小さくする必要がある。

## 【0294】

よって、 $L_W$ を $0.2\mu\text{m}$ 以下に微細化した場合、酸化膜厚増分を $50\text{nm}$ より小さくする必要がある。一方、側壁酸化量が $20\text{nm}$ 以下の場合、酸化膜厚増分は、側壁酸化量の $1/4$ 程度である。ここで、素子分離膜形成のダメージ領域を回避するために $2\text{nm}$ 以上の側壁酸化が必要であり、端部で厚膜化する酸化膜厚増分は、 $0.6\text{nm}$ 以上 $50\text{nm}$ 以下の範囲内にすることが望ましい。

## 【0295】

次に、図83(A)に示されるようにシリコン酸化膜等の絶縁膜を例えば $5\sim 50\text{nm}$ 程度の厚さで堆積した後、異方性エッチングによってエッチバックし、ゲート側壁絶縁膜242を形成し、これをマスクとして半導体基板261を異方性エッチングにより加工し、素子分離溝227を形成する。ここで、形成される素子分離溝227の深さは例えば約 $50\text{nm}\sim 300\text{nm}$ 程度である。なお、図83(B)に示される断面では、素子分離溝は形成されない。このようにゲート側壁絶縁膜242を形成することで、チャネル端にソース、ドレイン不純物領域217、218を残すことができる。この残されたソース、ドレイン不純物領域217、218の幅は、残されたゲート側壁絶縁膜242の幅に対応して制御できる。

## 【0296】

次に、必要に応じてエッチングダメージ回復のための熱処理を行った後、図84(A)に示されるように、素子分離溝227をHDP-SiO<sub>2</sub>やTEOSなどのシリコン酸化膜などの堆積方法で、シリコン酸化膜等の絶縁膜で埋め込み、CMP法によって平坦化した後、CMP法のストッパであるマスク材240をウェットエッチングにより除去する。また、図84(B)に示される断面において

は、マスク材 2 4 0 を除去して、第 1 ゲート電極 2 3 0 の上表面を露出させる。

【0 2 9 7】

次に、図 8 5 に示されるように、例えばポリシリコンや W S i とポリシリコンとのスタック構造、または、N i S i、M o S i、T i S i、C o S i とポリシリコンのスタック構造、金属とポリシリコンのスタック構造、またはシリコンの金属化合物や金属の単層構造からなる第 2 ゲート電極 2 3 3 を堆積し、第 1 ゲート電極 2 3 0 と合わせて、メモリセルのゲート電極 2 2 0 とする。

【0 2 9 8】

次に、図 8 6 (B) に示されるようにフォトリソグラフィーによってゲートのパターンを形成し、異方性エッチングによってゲート電極 2 2 0 をエッチングする。この際、通常の場合、ブロック絶縁膜 2 2 4 はわずかにエッチングされるが、データ保持絶縁膜 2 2 3 はエッチングしないようにする。さらに、必要に応じてエッチングダメージ回復のための熱処理を行ってもよい。また、この工程の後に、例えば、2 n m から 2 0 n m の範囲で、第 1 ゲート電極を酸化することによって、ダメージ回復を行っても良い。なお、図 8 6 (A) に示される断面においては、ゲート電極 2 2 0 はエッチングされない。

【0 2 9 9】

次に、図 8 7 (B) に示されるように、ゲート電極 2 2 0 を酸化してゲート側壁絶縁膜 2 4 1 を形成する。このとき酸化剤がゲート電極 2 2 0 のエッジに入り込みブロック絶縁膜 2 2 4 がエッジ部で厚膜化するように酸化条件を調整する。ここで、メモリセルのゲート幅を  $L_W$  とすると、バースピークによって厚膜化しないブロック絶縁膜 2 2 4 を残し、均一な書き込み消去状態を実現する必要がある。このため、バースピークの進入長は  $L_W$  の  $1/2$  以下である必要がある。この進入長を得るブロック絶縁膜 2 2 4 の酸化膜厚は、ゲート電極 2 2 0 の側壁部の酸化膜厚増分を  $L_W$  の  $1/4$  より小さくする必要がある。

【0 3 0 0】

よって、 $L_W$  を 0. 2  $\mu$  m 以下に微細化した場合、酸化膜厚増分を 5 0 n m より小さくする必要がある。一方、側壁酸化量が 2 0 n m 以下の場合、酸化膜厚増分は、側壁酸化量の  $1/4$  程度である。ここで、素子分離膜形成のダメージ領域

を回避するために 2 n m 以上の側壁酸化が必要であり、端部で厚膜化する酸化膜厚増分は、0. 6 n m 以上 5 0 n m 以下の範囲内にすることが望ましい。なお、図 8 7 (A) に示される断面では、ゲート側壁絶縁膜 2 4 1 は形成されない。

## 【 0 3 0 1 】

次に、図 8 8 (B) に示されるように、ゲート電極 2 2 0 及びゲート側壁絶縁膜 2 4 1 をマスクとして、ゲート電極 2 2 0 下方以外の領域の半導体基板 2 1 6 上のブロック絶縁膜 2 2 4、データ保持絶縁膜 2 2 3、及びトンネル絶縁膜 2 2 2 をエッチングする。次に、層間絶縁膜 2 1 5 を露出表面上に堆積し、層間絶縁膜 2 1 5 中にコンタクトプラグ 2 2 1 を形成し、メタル配線（図示せず）等を形成する工程を経て不揮発性メモリセルを完成させる。

## 【 0 3 0 2 】

本実施の形態の半導体装置の製造方法によれば、第 5 の実施の形態同様の半導体装置の製造方法の効果を得ることができる。

## 【 0 3 0 3 】

## (第 6 の実施の形態の変形例)

本変形例では、図 8 9 に示されるようにバーチャルグラウンドアレイセル構造を実現する。図 8 9 は、図 7 7 (C) に示される断面に対応した構造を拡大して示している。ここでは、第 6 の実施の形態と異なり、素子分離領域 1 9 0 を設けておらず、代わりに例えば P 型高濃度不純物領域 2 4 5 が半導体基板 2 1 6 中に設けられている。この P 型高濃度不純物領域 2 4 5 に隣接して、半導体基板 2 1 0 中にソース拡散層 2 1 7 が形成されている。また、P 型高濃度不純物領域 2 4 5 上には、シリコン酸化膜 2 4 6 を介して層間絶縁膜 2 1 5 が形成されている。半導体基板 2 1 6 上には、トンネル絶縁膜 2 2 2 が形成されている。このトンネル絶縁膜 2 2 2 及びこのトンネル絶縁膜 2 2 2 に接するシリコン酸化膜 2 4 6 上の一部には、データ保持絶縁膜 2 2 3 が形成されている。このデータ保持絶縁膜 2 2 3 上には、ブロック絶縁膜 2 2 4 が形成されている。このブロック絶縁膜 2 2 4 上には、第 1 ゲート電極 2 3 0 及び第 2 ゲート電極 2 3 3 が積層されている。

## 【 0 3 0 4 】

この第1ゲート電極230及び第2ゲート電極233の側壁には、ゲート電極側壁絶縁膜232が形成されて、第1ゲート電極230のエッジ部下で、ゲート電極側壁絶縁膜232とブロック絶縁膜224を合わせた厚さがエッジ部以外におけるブロック絶縁膜224の厚さよりも厚く形成されている。また、第1ゲート電極230のエッジよりもデータ保持絶縁膜223は、図89中で左右方向に突き出して形成されている。

## 【0305】

この半導体装置の製造方法は、第6の実施の形態の半導体装置の製造方法において、図83(A)に示される半導体基板をエッチングする工程は、バーチャルグラウンドアレイセル構造を実現するためには、必ずしも必要ではなく、半導体基板216の表面からマスク材240の高さまで絶縁膜を埋め込むプロセスで代用できる。

## 【0306】

その後、さらに、図83(A)に示される工程に替えて、図89に示されるように、隣接する第2のゲート電極間の素子分離を良好とするために、例えば、ボロンやインジウムからなるP型不純物を $10^{11} \text{ cm}^{-2}$ から $10^{14} \text{ cm}^{-2}$ の範囲で注入してもよい。この際、ソース及びドレイン電極部分は、素子分離膜又は側壁絶縁膜が上部にもあらかじめ形成されているので、P型不純物のイオンが素子分離膜で止まるように制限することにより、N型ソース及びドレイン電極にはP型不純物の混入を行わないように制限できる。このP型不純物のイオン注入エネルギーとしては、1 eVから100 eVの範囲とする。また、この際、P型不純物注入イオンの電荷蓄積膜に導入されるダメージをゲート電極側壁絶縁膜によって分離することができ、より高信頼性のメモリセルを実現できる。

## 【0307】

このような形状のバーチャルグラウンドアレイセルでは、絶縁物埋め込みによる素子分離領域に替えて、Pプラス拡散層又はNプラス拡散層を形成し、それぞれが素子分離の役割を果たしている。ここでは、Nプラス拡散層がビット線になったり、ソース線になったりして固定されていない。

## 【0308】

本変形例は、第 6 の実施の形態と同様の効果を有し、さらに、隣接するゲート電極間の素子分離を良好とするために、例えば、ボロンやインジウムからなる P 型不純物を添加した場合には、エッジ部分の反転層形成を抑え、さらに接するメモリセル間のチャネル間の耐圧ばらつきや電流漏れの問題発生を低減できる。

## 【 0 3 0 9 】

## (第 7 の実施の形態)

本実施の形態の半導体装置の構造を図 9 0 及び図 9 1 に示す。本実施の形態では先の第 3 の実施の形態及び第 5 の実施の形態の特徴を持つメモリセルで、代表的な不揮発性記憶装置の一種である NAND 型 EEPROM を構成している。

## 【 0 3 1 0 】

ここで、図 9 0 (A) には、NAND 型 EEPROM の等価回路図、図 9 0 (B) には、メモリセルの平面図が示される。ここで、NAND 型 EEPROM では、ソース線コンタクトとビット線コンタクトの間にゲートに SSL 信号線が入力されたソース選択トランジスタ S 1 及びゲートに GSL 信号線が入力されたソース選択トランジスタ S 2 を介して、メモリセルトランジスタ M 0 ～ M 1 5 が直列に配置されていて、1 つの NAND メモリセルブロックを構成している。各メモリセルトランジスタのゲート電極（制御ゲート）はデータ選択線（ワード線）WL 0 ～ WL 1 5 に接続されている。また、各メモリセルトランジスタ M 0 ～ M 1 5 のバックゲートはウエル電位が与えられている。

## 【 0 3 1 1 】

また、図 9 0 (B) に示されるように、図中で上下方向に一定間隔を置いて、互いに平行に直線状に複数本のビット線 BL が配置されている。このビット線 BL に直交して、互いに平行に複数のワード線がビット線の下方に配置されている。各ワード線 WL 0 ～ WL 1 5 の間には、ビット線下以外において、素子分離領域 2 5 0 が形成されて、ソース・ドレイン領域 2 5 1 が絶縁分離されている。ビット線 BL の SSL 信号線に隣接したソース・ドレイン領域 2 5 1 には、ビット線コンタクト 2 5 2 が形成されている。また、ビット線 BL の GSL 信号線に隣接したソース・ドレイン領域 2 5 1 には、接地電位が与えられる SL コンタクト 2 5 3 が接続されている。

## 【0312】

さらに、図91 (A) には、ワード線に平行に切ったときのロウ方向のメモリセルの断面図 (図90 (B) における“III-IV”線上での断面図)、図91 (B) には、ワード線に垂直に切ったときのカラム方向のメモリセルの断面図 (図90 (B) における“I-II”線上での断面図) を示す。

なお、図90においては、1つのNANDブロック中のメモリセルトランジスタの数は16個であり、また、選択トランジスタはメモリセルと異なるMOS構造をとっているが、1つのNANDブロック中のメモリセルの数は16個に限定されず、また、選択トランジスタはメモリセルと同じMONOS構造をとっていても良い。図90に示された構造は、第3の実施の形態と第5の実施の形態の半導体装置の構造を組み合わせたものである。

## 【0313】

図91 (A) に示されるように、本メモリセルでは、半導体基板255上に、N型ウエル256が形成され、このN型ウエル256上には、P型ウエル257が形成されている。このP型ウエル257中には、素子分離溝258が設けられ、この素子分離溝258中には、絶縁物が埋めこまれて、複数の素子分離領域259が形成されている。この複数の素子分離領域259間のP型ウエル257上には、例えば膜厚が1~15nm程度のシリコン酸化膜やシリコン酸窒化膜等からトンネル絶縁膜260が形成されている。さらに、このトンネル絶縁膜260上には、膜厚が例えば3~30nm程度のシリコン窒化膜、シリコン酸窒化膜、 $Ta_2O_5$ 膜、 $TiO_2$ 膜、 $Al_2O_3$ 膜等の絶縁膜でデータ保持膜261が形成されている。

## 【0314】

さらにこのデータ保持膜261の上には、膜厚が例えば1~15nm程度のシリコン酸化膜やシリコン酸窒化膜等でブロック絶縁膜262が形成されている。このブロック絶縁膜262の上には、例えばポリシリコンやWSi (タングステンシリサイド) とポリシリコンとのスタック構造、又は、NiSi, MOSi, TiSi, CoSiとポリシリコンのスタック構造、金属とポリシリコンのスタック構造、又はシリコンの金属化合物や金属の単層構造からなる第1ゲート電極

2 6 3 及び第 2 ゲート電極 2 6 4 の積層構造からなるワード線 W L が 1 0 n m から 5 0 0 n m の厚さで形成されている。この第 2 ゲート電極 2 6 4 上には、第 1 層間絶縁膜 2 6 5 が形成されている。この第 1 層間絶縁膜 2 6 5 上方内には、複数のビット線 B L が形成されている。このビット線 B L 及び第 1 層間絶縁膜 2 6 5 上には、第 2 層間絶縁膜 2 6 6 が形成されている。

## 【 0 3 1 5 】

ここで、データ保持絶縁膜 2 6 1 は、その端部が素子分離領域 2 5 9 内に突き出して形成されている。また、ブロック絶縁膜 2 6 2 は、素子分離領域 2 5 9 に接する端部で、その厚さが他の部分よりも厚く形成されている。

## 【 0 3 1 6 】

ここで、データ保持絶縁膜 2 6 1 の突き出し長さ及びブロック絶縁膜の厚膜化の程度は、先に説明した第 3 の実施の形態及び第 5 の実施の形態と同様である。

## 【 0 3 1 7 】

図 9 1 ( B ) に示される断面においては、メモリセルトランジスタは、P 型ウエル 2 5 7 上に、互いに分離されて複数形成されたトンネル絶縁膜 2 6 0、その上のデータ保持絶縁膜 2 6 1、その上のブロック絶縁膜 2 6 2 の上に形成されている。ここで、ゲート電極周囲には、ゲート電極側壁絶縁膜 2 6 7 が形成されている。このゲート電極側壁絶縁膜 2 6 7 の幅の分だけ、ブロック絶縁膜 2 6 2 の幅は、トンネル絶縁膜 2 6 0 及びデータ保持絶縁膜 2 6 1 の幅よりも狭く形成されている。各ゲート電極間の P 型ウエル 2 5 7 中の上表面付近にはソース、ドレイン領域 2 5 1 が形成されている。

## 【 0 3 1 8 】

メモリセル列の一方の端部の選択トランジスタ S 1 は、P 型ウエル 2 5 7 上に設けられたゲート絶縁膜 2 6 8 上に第 1 ゲート電極 2 6 9 及び第 2 ゲート電極 2 7 0 の積層構造で形成され、その周囲にはゲート側壁絶縁膜 2 7 1 が形成されている。ゲート絶縁膜 2 6 8 は、第 1 ゲート電極 2 6 9 のエッジ下でその厚さが他の部分の厚さよりも厚く形成されている。この選択トランジスタ S 1 の幅は、メモリセルトランジスタの幅よりも大きく形成されている。この選択トランジスタ S 1 の端の P 型ウエル 2 5 7 中のソース・ドレイン領域 2 5 1 には、ビット線コ

ンタクト 2 5 2 が接続されている。このビット線コンタクト 2 5 2 は第 1 層間絶縁膜 2 6 5 中に設けられて、ビット線 B L に接続されている。

## 【 0 3 1 9 】

メモリセル列の他方の端部の選択トランジスタ S 2 は、P 型ウエル 2 5 7 上に選択トランジスタ S 1 と同様に形成されている。この選択トランジスタ S 2 の端の P 型ウエル 2 5 7 中のソース・ドレイン領域 2 5 1 には、ソース線コンタクト 2 5 3 が接続されている。このソース線コンタクト 2 5 3 は第 1 層間絶縁膜 2 6 5 中に設けられて、第 1 層間絶縁膜 2 6 5 中に設けられたソース線 2 7 2 に接続されている。

## 【 0 3 2 0 】

次に、本実施の形態の半導体装置の動作を説明する。消去動作は例えばゲート電極を 0 V とした状態で半導体基板に高電圧（例えば 1 0 ～ 2 5 V ）を印加して、半導体基板から電荷蓄積領域にホールを注入することで行われる。またはソース電位に対してドレイン電位を負にバイアスしてチャネルで加速されたホットホールを発生させ、さらにゲート電極をソース電位に対して負にバイアスすることでホットホールを電荷蓄積領域に注入することで行われる。またはウエル電位に対してソース電位及びドレイン電位を正にバイアスして不純物領域とウエル間のジャンクションでホットホールを発生させ、さらにゲート電極をウエル電位に対して負にバイアスすることでホットホールを電荷蓄積領域に注入することで行われる。

## 【 0 3 2 1 】

書き込み動作は例えば半導体基板を 0 V とした状態でゲート電極に高電圧（例えば 1 0 ～ 2 5 V ）を印加して、半導体基板からトンネル絶縁膜を介して電荷が移動し、電荷蓄積領域に電子を注入することで行われる。又はソース電位に対してドレイン電位を正にバイアスしてチャネルで加速されたホットエレクトロンを発生させ、さらにゲート電極をソース電位に対して正にバイアスすることでホットエレクトロンを電荷蓄積領域に注入することで行われる。

## 【 0 3 2 2 】

読み出し動作では、ドレインコンタクトに接続されたビット線をプリチャージ



した後にフローティングにし、読み出し選択されたメモリセルのゲート電極の電圧を読み出し電圧  $V_{ref}$ 、ソース線を  $0V$  として、メモリセルに電流が流れるか否かをビット線で検出することにより行われる。読み出し選択されないメモリセルの制御ゲートの電圧を非選択読み出し電圧  $V_{read}$  とする。選択トランジスタ  $S_1$ 、 $S_2$  のゲート電圧を電源電圧  $V_{cc}$ 、ソース線を  $0V$  とする。読み出し選択されたメモリセルに電流が流れるか否かをビット線  $BL$  で検出することにより行われる。すなわち、図 9 2 に示されるように、読み出される選択メモリセル  $M_2$  のゲートには、 $V_{ref}$  が与えられ、他の非読み出しメモリセル  $M_0$ 、 $M_1$ 、 $M_3 \sim M_{15}$  のゲートには、 $V_{read}$  が与えられる。また、選択ゲート  $S_1$ 、 $S_2$  のゲートには  $V_{dd}$  が与えられる。

## 【 0 3 2 3 】

すなわち、メモリセルの閾値  $V_{th}$  が  $V_{ref}$  よりも大きい、書き込み状態ならばメモリセルはオフになるのでビット線はプリチャージ電位を保つ。これに対して選択メモリセルの閾値  $V_{th}$  が  $V_{ref}$  よりも小さい消去状態ならばメモリセルはオンするのでビット線の電位はプリチャージ電位から  $\Delta V$  だけ低下する。この電位変化をセンスアンプで検知することによってメモリセルのデータが読み出される。電荷蓄積絶縁膜中の電荷量が変化することでメモリセルの閾値電圧が変化し、これを検出することでデータを読み出すことができる。

## 【 0 3 2 4 】

ここで、 $V_{ref}$  は書き込み状態の閾値と消去状態の閾値の中間の電圧であり、 $V_{read}$  は書き込み状態の閾値よりも高い電圧、 $V_{dd}$  は選択トランジスタの閾値よりも高い電圧である。

## 【 0 3 2 5 】

NAND 型 EEPROM の読み出しでは上記のように読み出し非選択ワード線に書き込み閾値よりも高い電圧  $V_{read}$  が加えられるため、第 5 及び第 6 の実施の形態で述べたような電圧  $V_{ref}$  を用いた場合と比較して、リードディスタープによる閾値変動が大きい。

## 【 0 3 2 6 】

これに対し、本実施の形態の半導体装置ではゲート電極のエッジ部の下でプロ

ック絶縁膜を厚膜化しているために、エッジ部でV<sub>read</sub>による電界が弱められ、消去閾値の上昇が小さい。電荷蓄積領域としてデータ保持絶縁膜を使用している場合、データ保持絶縁膜中を電荷は移動しないので、チャンネル中央部の閾値がリードディスタープによって上昇してもエッジ部の閾値は低いままである。特に読み出し電流の流れる方向と平行な2辺、つまり素子分離端における閾値が低いままで抑えられることによって、メモリセルの閾値も低いままに抑えられるためV<sub>read</sub>ストレスによる消去閾値の上昇という課題を解決できる。

## 【0327】

また、本実施の形態では、データ保持絶縁膜の両端が素子分離領域端やゲート電極のエッジに対して突き出した形状となっている。このため、加工時のダメージにより電荷保持特性が劣化したデータ保持絶縁膜の両端部を、電荷蓄積領域としても、トランジスタのゲート絶縁膜としても使用することが無いので、メモリセルの信頼性が向上する。特に、読み出し電流の流れる方向と平行な2辺、つまり素子分離端において、データ保持絶縁膜が突き出していることによって、ゲート電極のエッジにおける電荷抜けによる閾値低下が、メモリセルの閾値低下として検知される不具合を解決することができる。

## 【0328】

さらに、本実施の形態の半導体装置では隣接するメモリセル間でデータ保持絶縁膜を共有していないので、絶縁膜を電荷が移動することでメモリセル間に電荷のやり取りが生じて、メモリセルの閾値が変動するという不具合を解決している。

## 【0329】

上記のように、第1の実施の形態及び第3の実施の形態の特徴を持つメモリセルをNAND型EEPROMに対して適用した例を説明したが、適用の範囲はこれに限定されない。すなわち、第3乃至第6の実施の形態のどの特徴をもつメモリセルを用いても良いし、第3乃至第6の実施の形態の特徴の一部のみを持つメモリセルを用いても良い。

## 【0330】

(第7の実施の形態の変形例)

本実施の形態は適用するEEPROMはNAND型に限定されるものではない。すなわち、本変形例である図93（A）に示される等価回路図及び読み出し動作状態の電位を示したAND型EEPROMであってもよい。すなわち、ビット線BLにソースが接続された選択トランジスタS1のドレインに1つのメモリセルを構成するメモリセルトランジスタM0～M15のそれぞれのドレインが共通に接続されている。メモリセルトランジスタM0～M15のソースは、互いに共通に接続され、かつ、選択トランジスタS2のドレインに接続されている。この選択トランジスタS2のソースは共通ソース線Sourceに接続されている。ここで、読み出し時には、読み出し選択されたメモリセルトランジスタM2のゲートには、Vrefが入力され、他のメモリセルトランジスタM0、M1、M3～M15のゲートには、Vreadが入力される。選択トランジスタS1、S2のゲートには、Vddが入力される。

#### 【0331】

また、図93（B）に示される等価回路図及び読み出し動作を示したNOR型EEPROMであっても良い。第1ビット線BL1には、メモリセルトランジスタM1のドレインが接続される。このメモリセルトランジスタM1のソースには、メモリセルトランジスタM2のドレインが接続され、さらにこのメモリセルトランジスタM2のソースには、メモリセルトランジスタM3のドレインが接続される。このメモリセルトランジスタM3のソースには、ソース電位VSLが入力される。また、隣接するビット線BL2にメモリセルトランジスタM4のドレインが接続される。このメモリセルトランジスタM4のソースには、メモリセルトランジスタM5のドレインが接続され、さらにこのメモリセルトランジスタM5のソースには、メモリセルトランジスタM6のドレイン及びビット線BL2が接続される。このメモリセルトランジスタM6のソースには、ソース電位VSLが入力される。

#### 【0332】

ここで、読み出し選択された選択メモリセルトランジスタM2及び隣接するビット線に接続されたメモリセルトランジスタM5のゲートには、Vref電位が与えられ、読み出し選択された選択メモリセルトランジスタM2のソースには、

選択ビット線BL1が接続されている。また、メモリセルトランジスタM1、M4のソースには、VSL電位が与えられる。さらに、メモリセルトランジスタM1、M3、M4、M6のゲートには、Vread電位が与えられる。

## 【0333】

また、図示はしないがDINOR型等、他の種類のEEPROMでも適用可能である。なお、バーチャルグラウンドアレイ構造のEEPROMであってもよい。AND型の場合は、第4又は、第6の実施の形態の構造の半導体装置が適用される。NOR型の場合は、第3又は、第5の実施の形態の構造の半導体装置が適用される。また、バーチャルグラウンドアレイ型の半導体装置では、第3乃至第6の実施の形態の半導体装置が適用される。

## 【0334】

どの種類のEEPROMにおいても、データ保持絶縁膜の両端がゲート電極又は半導体基板又はその両方に対して突き出していることで、ゲート電極のエッジにおけるデータ保持特性の劣化を解決する。また、特に読み出し電流の流れる方向と平行な2辺においてデータ保持絶縁膜の両端が突き出していることで、ゲート電極のエッジにおける閾値の低下がメモリセルの閾値低下として検知される問題を解決する。すなわち、製造工程中でダメージを受けたデータ保持絶縁膜がチャンネル領域内に存在しないことで、閾値低下を防止して、データ保持特性を向上することができる。

## 【0335】

さらに、ゲート絶縁膜、好ましくはデータ保持絶縁膜とゲート電極間に配置されたブロック絶縁膜の膜厚がゲート電極のエッジ部において厚膜化することでデータ読み出し時のゲート電圧ストレスによる、閾値変動をゲート電極のエッジ部において抑制することができる。特に、読み出し電流の流れる方向と平行な2辺においてゲート絶縁膜、好ましくはブロック絶縁膜が厚膜化していることで、ゲート電極のエッジ部での閾値変動抑制が、メモリセルの閾値変動抑制として検知されるのでメモリセルのリードディスタープ特性を改善する。特に弱い電界を与えた時に閾値が高くなるのを防ぐことができる。

## 【0336】

ここで、データ保持絶縁膜の突き出し長さ及びブロック絶縁膜の厚膜化の程度は先に説明した第 4 の実施の形態及び第 6 の実施の形態と同程度である。

【 0 3 3 7 】

また、隣り合うメモリセル間でデータ保持絶縁膜を切断することで、メモリセル間の電荷のやり取りに起因する閾値変動を防ぐことができる。

【 0 3 3 8 】

上記の第 3 の実施の形態乃至第 6 の実施の形態においては、理解を容易にするためにコンタクト電極をトランジスタごとに形成した例が示されているが、本実施の形態のように、コンタクト電極をトランジスタごとに形成せず、例えばゲート電極やドレイン電極によって、直列又は並列に接続することでも構成できる。

【 0 3 3 9 】

【発明の効果】

本発明によれば、素子分離領域付近でのゲート絶縁膜の電気的特性と素子分離領域付近以外でのゲート絶縁膜の電気的特性とが等しい半導体装置及びその製造方法を提供できる。さらに、本発明によれば、素子領域を定義する 4 辺のうちソース、ドレイン間電流の流れる方向と平行な 2 辺のエッジでの電荷保持特性劣化を抑制した信頼性の高い半導体装置を提供できる。さらに、本発明によれば、ゲート電極のエッジ部での書き込み消去特性やデータ保持特性のばらつき並びに閾値変動を抑制する半導体装置を提供できる。

【図面の簡単な説明】

【図 1】 第 1 の実施の形態におけるメモリ部の構成を表すロウ方向の断面図

【図 2】 第 1 の実施の形態におけるプロトタイプのメモリ部の構成を表すロウ方向の断面図。

【図 3】 第 1 の実施の形態におけるプロトタイプのメモリ部のロウ方向のシャロットレンチ素子分離領域エッジ部の拡大図。

【図 4】 第 1 の実施の形態におけるプロトタイプのメモリセルトランジスタの領域ごとの書き込み状態における電圧電流特性図。

【図 5】 第 1 の実施の形態におけるプロトタイプのメモリセルトランジスタ

の書き込み状態における電圧電流特性図。

【図 6】 第 1 の実施の形態におけるプロトタイプのメモリセルトランジスタの書き込み消去状態における電圧電流特性図。

【図 7】 第 1 の実施の形態における高電圧トランジスタのロウ方向の断面図

【図 8】 第 1 の実施の形態における低電圧トランジスタのロウ方向の断面図

【図 9】 第 1 の実施の形態におけるメモリ部の構成を表す平面図。

【図 1 0】 第 1 の実施の形態におけるメモリ部のカラム方向の断面図。

【図 1 1】 第 1 の実施の形態におけるメモリ部の NAND スtring を表す回路図。

【図 1 2】 (a) は、第 1 の実施の形態におけるメモリセルトランジスタ及び選択トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(b) は、第 1 の実施の形態における低電圧トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(c) は、第 1 の実施の形態における高耐圧トランジスタの製造方法の一工程を表すロウ方向の断面図である。

【図 1 3】 (a) は、第 1 の実施の形態におけるメモリセルトランジスタ及び選択トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(b) は、第 1 の実施の形態における低電圧トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(c) は、第 1 の実施の形態における高耐圧トランジスタの製造方法の一工程を表すロウ方向の断面図である。

【図 1 4】 (a) は、第 1 の実施の形態におけるメモリセルトランジスタ及び選択トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(b) は、第 1 の実施の形態における低電圧トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(c) は、第 1 の実施の形態における高耐圧トランジスタの製造方法の一工程を表すロウ方向の断面図である。

【図 1 5】 (a) は、第 1 の実施の形態におけるメモリセルトランジスタ及び選択トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(b) は、第 1 の実施の形態における低電圧トランジスタの製造方法の一工程を表すロウ方向の断面図である。

ウ方向の断面図であり、(c)は、第1の実施の形態における高耐圧トランジスタの製造方法の一工程を表すロウ方向の断面図である。

【図16】 (a)は、第1の実施の形態におけるメモリセルトランジスタ及び選択トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(b)は、第1の実施の形態における低電圧トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(c)は、第1の実施の形態における高耐圧トランジスタの製造方法の一工程を表すロウ方向の断面図である。

【図17】 (a)は、第1の実施の形態におけるメモリセルトランジスタ及び選択トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(b)は、第1の実施の形態における低電圧トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(c)は、第1の実施の形態における高耐圧トランジスタの製造方法の一工程を表すロウ方向の断面図である。

【図18】 (a)は、第1の実施の形態におけるメモリセルトランジスタ及び選択トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(b)は、第1の実施の形態における低電圧トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(c)は、第1の実施の形態における高耐圧トランジスタの製造方法の一工程を表すロウ方向の断面図である。

【図19】 (a)は、第1の実施の形態におけるメモリセルトランジスタ及び選択トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(b)は、第1の実施の形態における低電圧トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(c)は、第1の実施の形態における高耐圧トランジスタの製造方法の一工程を表すロウ方向の断面図である。

【図20】 (a)は、第1の実施の形態におけるメモリセルトランジスタ及び選択トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(b)は、第1の実施の形態における低電圧トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(c)は、第1の実施の形態における高耐圧トランジスタの製造方法の一工程を表すロウ方向の断面図である。

【図21】 (a)は、第1の実施の形態におけるメモリセルトランジスタ及び選択トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(b)

は、第 1 の実施の形態における低電圧トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(c) は、第 1 の実施の形態における高耐圧トランジスタの製造方法の一工程を表すロウ方向の断面図である。

【図 2 2】 (a) は、第 1 の実施の形態におけるメモリセルトランジスタ及び選択トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(b) は、第 1 の実施の形態における低電圧トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(c) は、第 1 の実施の形態における高耐圧トランジスタの製造方法の一工程を表すロウ方向の断面図である。

【図 2 3】 (a) は、第 1 の実施の形態におけるメモリセルトランジスタ及び選択トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(b) は、第 1 の実施の形態における低電圧トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(c) は、第 1 の実施の形態における高耐圧トランジスタの製造方法の一工程を表すロウ方向の断面図である。

【図 2 4】 (a) は、第 1 の実施の形態におけるメモリセルトランジスタ及び選択トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(b) は、第 1 の実施の形態における低電圧トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(c) は、第 1 の実施の形態における高耐圧トランジスタの製造方法の一工程を表すロウ方向の断面図である。

【図 2 5】 (a) は、第 1 の実施の形態におけるメモリセルトランジスタ及び選択トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(b) は、第 1 の実施の形態における低電圧トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(c) は、第 1 の実施の形態における高耐圧トランジスタの製造方法の一工程を表すロウ方向の断面図である。

【図 2 6】 (a) は、第 1 の実施の形態におけるメモリセルトランジスタ及び選択トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(b) は、第 1 の実施の形態における低電圧トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(c) は、第 1 の実施の形態における高耐圧トランジスタの製造方法の一工程を表すロウ方向の断面図である。

【図 2 7】 (a) は、第 1 の実施の形態におけるメモリセルトランジスタ及



び選択トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(b)は、第1の実施の形態における低電圧トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(c)は、第1の実施の形態における高耐圧トランジスタの製造方法の一工程を表すロウ方向の断面図である。

【図28】 第2の実施の形態におけるメモリ部の構成を表すカラム方向の断面図。

【図29】 第2の実施の形態におけるメモリ部のNANDストリングを表す回路図。

【図30】 (A)は、第3の実施の形態におけるプロトタイプの半導体装置の上面図であり、(B)は、第3の実施の形態におけるプロトタイプの半導体装置を表す図30(A)における“C-D”線上での断面図であり、(C)は、第3の実施の形態におけるプロトタイプの半導体装置を表す図30(A)における“E-F”線上での断面図である。

【図31】 (A)は、第3の実施の形態のプロトタイプの半導体装置に対応する図30(B)における断面に対応する等価回路図であり、(B)は、第3の実施の形態のプロトタイプの半導体装置に対応する図30(C)における断面に対応する等価回路図であり、(C)は第3の実施の形態のプロトタイプに対応する半導体装置のドレイン電流とゲート電圧の特性を表す図である。

【図32】 (A)は、第3の実施の形態における半導体装置の上面図であり、(B)は、第3の実施の形態における半導体装置を表す図32(A)における“G-H”線上での断面図であり、(C)は、第3の実施の形態における半導体装置を表す図32(A)における“I-J”線上での断面図である。

【図33】 (A)は、第3の実施の形態に対応する図32(B)における断面に対応する等価回路図であり、(B)は、第3の実施の形態に対応する図32(C)における断面に対応する等価回路図であり、(C)は、図33(A)を単純化して表した等価回路図であり、(D)は、図33(B)を単純化して表す等価回路図である。

【図34】 第3の実施の形態に係る半導体装置の断面図である図32(C)の一部を拡大した断面図。

【図 3 5】 (A) は、第 3 の実施の形態に係る半導体装置の製造方法の一工程を図 3 2 の “I - J” 線上での断面に対応して表す断面図であり、(B) は、第 3 の実施の形態に係る半導体装置の製造方法の一工程を図 3 2 の “G - H” 線上での断面に対応して表す断面図である。

【図 3 6】 (A) は、第 3 の実施の形態に係る半導体装置の製造方法の一工程を図 3 2 の “I - J” 線上での断面に対応して表す断面図であり、(B) は、第 3 の実施の形態に係る半導体装置の製造方法の一工程を図 3 2 の “G - H” 線上での断面に対応して表す断面図である。

【図 3 7】 (A) は、第 3 の実施の形態に係る半導体装置の製造方法の一工程を図 3 2 の “I - J” 線上での断面に対応して表す断面図であり、(B) は、第 3 の実施の形態に係る半導体装置の製造方法の一工程を図 3 2 の “G - H” 線上での断面に対応して表す断面図である。

【図 3 8】 (A) は、第 3 の実施の形態に係る半導体装置の製造方法の一工程を図 3 2 の “I - J” 線上での断面に対応して表す断面図であり、(B) は、第 3 の実施の形態に係る半導体装置の製造方法の一工程を図 3 2 の “G - H” 線上での断面に対応して表す断面図である。

【図 3 9】 (A) は、第 3 の実施の形態に係る半導体装置の製造方法の一工程を図 3 2 の “I - J” 線上での断面に対応して表す断面図であり、(B) は、第 3 の実施の形態に係る半導体装置の製造方法の一工程を図 3 2 の “G - H” 線上での断面に対応して表す断面図である。

【図 4 0】 (A) は、第 3 の実施の形態に係る半導体装置の製造方法の一工程を図 3 2 の “I - J” 線上での断面に対応して表す断面図であり、(B) は、第 3 の実施の形態に係る半導体装置の製造方法の一工程を図 3 2 の “G - H” 線上での断面に対応して表す断面図である。

【図 4 1】 (A) は、第 3 の実施の形態に係る半導体装置の製造方法の一工程を図 3 2 の “I - J” 線上での断面に対応して表す断面図であり、(B) は、第 3 の実施の形態に係る半導体装置の製造方法の一工程を図 3 2 の “G - H” 線上での断面に対応して表す断面図である。

【図 4 2】 (A) は、第 3 の実施の形態に係る半導体装置の製造方法の一工

程を図 3 2 の “ I - J ” 線上での断面に対応して表す断面図であり、( B ) は、第 3 の実施の形態に係る半導体装置の製造方法の一工程を図 3 2 の “ G - H ” 線上での断面に対応して表す断面図である。

【図 4 3】 ( A ) は、第 3 の実施の形態に係る半導体装置の製造方法の一工程を図 3 2 の “ I - J ” 線上での断面に対応して表す断面図であり、( B ) は、第 3 の実施の形態に係る半導体装置の製造方法の一工程を図 3 2 の “ G - H ” 線上での断面に対応して表す断面図である。

【図 4 4】 図 3 2 ( A ) における “ I - J ” 線上での断面の一部に相当する第 3 の実施の形態の変形例における半導体装置を表す断面図。

【図 4 5】 第 3 の実施の形態の変形例に係る半導体装置の製造方法の一工程を図 3 2 の “ I - J ” 線上での断面に対応して表す断面図。

【図 4 6】 第 3 の実施の形態の変形例に係る半導体装置の製造方法の一工程を図 3 2 の “ I - J ” 線上での断面に対応して表す断面図。

【図 4 7】 第 3 の実施の形態の変形例に係る半導体装置の製造方法の一工程を図 3 2 の “ I - J ” 線上での断面に対応して表す断面図。

【図 4 8】 第 3 の実施の形態の変形例に係る半導体装置の製造方法の一工程を図 3 2 の “ I - J ” 線上での断面に対応して表す断面図。

【図 4 9】 第 3 の実施の形態の変形例に係る半導体装置の製造方法の一工程を図 3 2 の “ I - J ” 線上での断面に対応して表す断面図。

【図 5 0】 ( A ) は、第 4 の実施の形態におけるプロトタイプの半導体装置の上面図であり、( B ) は、第 4 の実施の形態におけるプロトタイプの半導体装置を表す図 5 0 ( A ) における “ K - L ” 線上での断面図であり、( C ) は、第 4 の実施の形態におけるプロトタイプの半導体装置を表す図 5 0 ( A ) における “ M - N ” 線上での断面図である。

【図 5 1】 ( A ) は、第 4 の実施の形態におけるプロトタイプの半導体装置に対応する図 5 0 ( B ) における断面に対応する等価回路図であり、( B ) は、第 4 の実施の形態におけるプロトタイプの半導体装置に対応する図 5 0 ( C ) における断面に対応する等価回路図であり、( C ) は第 4 の実施の形態におけるプロトタイプの半導体装置のドレイン電流とゲート電圧の特性を表す図である。

【図 5 2】 (A) は、第 4 の実施の形態における半導体装置の上面図であり、(B) は、第 4 の実施の形態における半導体装置を表す図 5 2 (A) における“O-P”線上での断面図であり、(C) は、第 4 の実施の形態における半導体装置を表す図 5 2 (A) における“Q-R”線上での断面図である。

【図 5 3】 (A) は、第 4 の実施の形態に対応する図 5 2 (B) における断面に対応する等価回路図であり、(B) は、図 5 3 (A) を単純化して表した等価回路図であり、(C) は、第 4 の実施の形態に対応する図 5 2 (C) における断面に対応する等価回路図であり、(D) は、図 5 3 (C) を単純化して表す等価回路図である。

【図 5 4】 (A) は、第 4 の実施の形態に係る半導体装置の製造方法の一工程を図 5 2 の“Q-R”線上での断面に対応して表す断面図であり、(B) は、第 4 の実施の形態に係る半導体装置の製造方法の一工程を図 5 2 の“O-P”線上での断面に対応して表す断面図である。

【図 5 5】 (A) は、第 4 の実施の形態に係る半導体装置の製造方法の一工程を図 5 2 の“Q-R”線上での断面に対応して表す断面図であり、(B) は、第 4 の実施の形態に係る半導体装置の製造方法の一工程を図 5 2 の“O-P”線上での断面に対応して表す断面図である。

【図 5 6】 (A) は、第 4 の実施の形態に係る半導体装置の製造方法の一工程を図 5 2 の“Q-R”線上での断面に対応して表す断面図であり、(B) は、第 4 の実施の形態に係る半導体装置の製造方法の一工程を図 5 2 の“O-P”線上での断面に対応して表す断面図である。

【図 5 7】 (A) は、第 4 の実施の形態に係る半導体装置の製造方法の一工程を図 5 2 の“Q-R”線上での断面に対応して表す断面図であり、(B) は、第 4 の実施の形態に係る半導体装置の製造方法の一工程を図 3 2 の“O-P”線上での断面に対応して表す断面図である。

【図 5 8】 (A) は、第 4 の実施の形態に係る半導体装置の製造方法の一工程を図 5 2 の“Q-R”線上での断面に対応して表す断面図であり、(B) は、第 4 の実施の形態に係る半導体装置の製造方法の一工程を図 5 2 の“O-P”線上での断面に対応して表す断面図である。

【図59】 (A)は、第4の実施の形態に係る半導体装置の製造方法の一工程を図52の“Q-R”線上での断面に対応して表す断面図であり、(B)は、第4の実施の形態に係る半導体装置の製造方法の一工程を図52の“O-P”線上での断面に対応して表す断面図である。

【図60】 (A)は、第4の実施の形態に係る半導体装置の製造方法の一工程を図52の“Q-R”線上での断面に対応して表す断面図であり、(B)は、第4の実施の形態に係る半導体装置の製造方法の一工程を図52の“O-P”線上での断面に対応して表す断面図である。

【図61】 (A)は、第4の実施の形態に係る半導体装置の製造方法の一工程を図52の“Q-R”線上での断面に対応して表す断面図であり、(B)は、第4の実施の形態に係る半導体装置の製造方法の一工程を図32の“O-P”線上での断面に対応して表す断面図である。

【図62】 (A)は、第4の実施の形態に係る半導体装置の製造方法の一工程を図52の“Q-R”線上での断面に対応して表す断面図であり、(B)は、第4の実施の形態に係る半導体装置の製造方法の一工程を図52の“O-P”線上での断面に対応して表す断面図である。

【図63】 図52(A)における“Q-R”線上での断面の一部に相当する第4の実施の形態の変形例における半導体装置を表す断面図。

【図64】 (A)は、第5の実施の形態における半導体装置の上面図であり、(B)は、第5の実施の形態における半導体装置を表す図64(A)における“S-T”線上での断面図であり、(C)は、第5の実施の形態における半導体装置を表す図64(A)における“U-V”線上での断面図である。

【図65】 (A)は、第5の実施の形態に対応する図64(B)における断面に対応する等価回路図であり、(B)は、第5の実施の形態に対応する図64(C)における断面に対応する等価回路図であり、(C)は第5の実施の形態における半導体装置のドレイン電流とゲート電圧の特性を表す図である。

【図66】 第5の実施の形態に係る半導体装置の断面図である図64(C)の一部を拡大した断面図。

【図67】 第5の実施の形態に係る半導体装置の断面図である図64(B)

の一部を拡大した断面図。

【図 6 8】 (A) は、第 5 の実施の形態に係る半導体装置の製造方法の一工程を図 6 4 の “S-T” 線上での断面に対応して表す断面図であり、(B) は、第 5 の実施の形態に係る半導体装置の製造方法の一工程を図 6 4 の “U-V” 線上での断面に対応して表す断面図である。

【図 6 9】 (A) は、第 5 の実施の形態に係る半導体装置の製造方法の一工程を図 6 4 の “S-T” 線上での断面に対応して表す断面図であり、(B) は、第 5 の実施の形態に係る半導体装置の製造方法の一工程を図 6 4 の “U-V” 線上での断面に対応して表す断面図である。

【図 7 0】 (A) は、第 5 の実施の形態に係る半導体装置の製造方法の一工程を図 6 4 の “S-T” 線上での断面に対応して表す断面図であり、(B) は、第 5 の実施の形態に係る半導体装置の製造方法の一工程を図 6 4 の “U-V” 線上での断面に対応して表す断面図である。

【図 7 1】 (A) は、第 5 の実施の形態に係る半導体装置の製造方法の一工程を図 6 4 の “S-T” 線上での断面に対応して表す断面図であり、(B) は、第 5 の実施の形態に係る半導体装置の製造方法の一工程を図 6 4 の “U-V” 線上での断面に対応して表す断面図である。

【図 7 2】 (A) は、第 5 の実施の形態に係る半導体装置の製造方法の一工程を図 6 4 の “S-T” 線上での断面に対応して表す断面図であり、(B) は、第 5 の実施の形態に係る半導体装置の製造方法の一工程を図 6 4 の “U-V” 線上での断面に対応して表す断面図である。

【図 7 3】 (A) は、第 5 の実施の形態に係る半導体装置の製造方法の一工程を図 6 4 の “S-T” 線上での断面に対応して表す断面図であり、(B) は、第 5 の実施の形態に係る半導体装置の製造方法の一工程を図 6 4 の “U-V” 線上での断面に対応して表す断面図である。

【図 7 4】 (A) は、第 5 の実施の形態に係る半導体装置の製造方法の一工程を図 6 4 の “S-T” 線上での断面に対応して表す断面図であり、(B) は、第 5 の実施の形態に係る半導体装置の製造方法の一工程を図 6 4 の “U-V” 線上での断面に対応して表す断面図である。

【図 7 5】 (A) は、第 5 の実施の形態に係る半導体装置の製造方法の一工程を図 6 4 の“S-T”線上での断面に対応して表す断面図であり、(B) は、第 5 の実施の形態に係る半導体装置の製造方法の一工程を図 6 4 の“U-V”線上での断面に対応して表す断面図である。

【図 7 6】 (A) は、第 5 の実施の形態に係る半導体装置の製造方法の一工程を図 6 4 の“S-T”線上での断面に対応して表す断面図であり、(B) は、第 5 の実施の形態に係る半導体装置の製造方法の一工程を図 6 4 の“U-V”線上での断面に対応して表す断面図である。

【図 7 7】 (A) は、第 6 の実施の形態における半導体装置の上面図であり、(B) は、第 6 の実施の形態における半導体装置を表す図 7 7 (A) における“W-X”線上での断面図であり、(C) は、第 6 の実施の形態における半導体装置を表す図 7 7 (A) における“Y-Z”線上での断面図である。

【図 7 8】 (A) は、第 6 の実施の形態に対応する図 7 7 (B) における断面に対応する等価回路図であり、(B) は、第 6 の実施の形態に対応する図 7 7 (C) における断面に対応する等価回路図であり、(C) は第 6 の実施の形態における半導体装置のドレイン電流とゲート電圧の特性を表す図である。

【図 7 9】 第 6 の実施の形態に係る半導体装置の断面図である図 7 8 (C) の一部を拡大した断面図。

【図 8 0】 (A) は、第 6 の実施の形態に係る半導体装置の製造方法の一工程を図 7 7 の“Y-Z”線上での断面に対応して表す断面図であり、(B) は、第 6 の実施の形態に係る半導体装置の製造方法の一工程を図 7 7 の“W-X”線上での断面に対応して表す断面図である。

【図 8 1】 (A) は、第 6 の実施の形態に係る半導体装置の製造方法の一工程を図 7 7 の“Y-Z”線上での断面に対応して表す断面図であり、(B) は、第 6 の実施の形態に係る半導体装置の製造方法の一工程を図 7 7 の“W-X”線上での断面に対応して表す断面図である。

【図 8 2】 (A) は、第 6 の実施の形態に係る半導体装置の製造方法の一工程を図 7 7 の“Y-Z”線上での断面に対応して表す断面図であり、(B) は、第 6 の実施の形態に係る半導体装置の製造方法の一工程を図 7 7 の“W-X”線

上での断面に対応して表す断面図である。

【図 8 3】 (A) は、第 6 の実施の形態に係る半導体装置の製造方法の一工程を図 7 7 の “Y-Z” 線上での断面に対応して表す断面図であり、(B) は、第 6 の実施の形態に係る半導体装置の製造方法の一工程を図 7 7 の “W-X” 線上での断面に対応して表す断面図である。

【図 8 4】 (A) は、第 6 の実施の形態に係る半導体装置の製造方法の一工程を図 7 7 の “Y-Z” 線上での断面に対応して表す断面図であり、(B) は、第 6 の実施の形態に係る半導体装置の製造方法の一工程を図 7 7 の “W-X” 線上での断面に対応して表す断面図である。

【図 8 5】 (A) は、第 6 の実施の形態に係る半導体装置の製造方法の一工程を図 7 7 の “Y-Z” 線上での断面に対応して表す断面図であり、(B) は、第 6 の実施の形態に係る半導体装置の製造方法の一工程を図 7 7 の “W-X” 線上での断面に対応して表す断面図である。

【図 8 6】 (A) は、第 6 の実施の形態に係る半導体装置の製造方法の一工程を図 7 7 の “Y-Z” 線上での断面に対応して表す断面図であり、(B) は、第 6 の実施の形態に係る半導体装置の製造方法の一工程を図 7 7 の “W-X” 線上での断面に対応して表す断面図である。

【図 8 7】 (A) は、第 6 の実施の形態に係る半導体装置の製造方法の一工程を図 7 7 の “Y-Z” 線上での断面に対応して表す断面図であり、(B) は、第 6 の実施の形態に係る半導体装置の製造方法の一工程を図 7 7 の “W-X” 線上での断面に対応して表す断面図である。

【図 8 8】 (A) は、第 6 の実施の形態に係る半導体装置の製造方法の一工程を図 7 7 の “Y-Z” 線上での断面に対応して表す断面図であり、(B) は、第 6 の実施の形態に係る半導体装置の製造方法の一工程を図 7 7 の “W-X” 線上での断面に対応して表す断面図である。

【図 8 9】 図 7 7 (A) における “Y-Z” 線上での断面の一部に相当する第 6 の実施の形態の変形例における半導体装置を表す断面図。

【図 9 0】 (A) は、第 7 の実施の形態における半導体装置の 1 つのメモリセルを表す回路図であり、(B) は、第 7 の実施の形態における半導体装置のメ



メモリセル構造を表す上面図である。

【図91】 (A)は、第7の実施の形態の半導体装置において、図90(B)における“III-IV”線上での断面に相当する断面図であり、(B)は、第7の実施の形態の半導体装置において、図90(B)における“I-II”線上での断面に相当する断面図である。

【図92】 第7の実施の形態の半導体装置の1つのメモリセルの読み出し状態を表す回路図。

【図93】 (A)は、第7の実施の形態の変形例の半導体装置において、AND型EEPROMの1つのメモリセルの読み出し状態を表す回路図であり、(B)は、第7の実施の形態の変形例の半導体装置において、NOR型EEPROMの1つのメモリセルの読み出し状態を表す回路図である。

【図94】 従来の選択熱酸化方法により形成された浅溝素子分離によるMONOS(金属-酸化シリコン膜-窒化シリコン膜-酸化シリコン膜-半導体)メモリセルの断面図。

【符号の説明】

- 1、117、137、161、197、216、255 半導体基板(ウエル)
- 2、13、21、26 シャロートレンチ素子分離領域
- 3、10、118、140、172、198、222、260 トンネル絶縁膜
- 4、11 電荷蓄積層
- 5、12、120、142、174、200、224、262 ブロック絶縁膜
- 6、112、132、166、192、220 ゲート電極
- 7 バーズピーク部
- 8、9 突出部
- 14、22、27、138、170、205、230、263、269 第1ゲート電極
- 15、23、28、139、171、206、233、264、270 第2

ゲート電極

- 16、24、29 ゲートキャップ絶縁膜
- 17 層間膜
- 18、43 ビット線
- 19 保護膜
- 20、25、268 ゲート絶縁膜
- 30、251 ソース・ドレイン領域
- 31、32 バリア絶縁膜
- 40 データ選択線（ワード線）
- 41 ビット線選択信号線（SSL）
- 42 共通ソース線選択信号線（GSL）
- 44 ビット線コンタクト
- 45 ソース線コンタクト
- 46 ビット線引き出しコンタクト
- 47 ビット線引き出し配線
- 48 ソース線配線
- 50、51 選択トランジスタ
- 52 メモリセルトランジスタ
- 55、66、72、73 レジスト
- 56 ストップ膜
- 57、150、180、211、240 マスク材
- 58、59、60 素子分離溝（トレンチ溝）
- 61、71 シリコン酸化膜
- 62、63、64 素子分離絶縁膜（埋め込み材）
- 65、67 窪み
- 68、69、70 ゲート電極材料
- 110、130、160、190、215、250、258 素子分離領域
- 111、131、191 素子領域
- 113、133、193、219 コンタクト

114、134、167、194、221 ゲートコンタクト  
115、135、155、162、195、217 ソース不純物領域  
116、136、156、163、196、218 ドレイン不純物領域  
119、141、173、199、223、261 データ保持絶縁膜  
121、144、176、201、225 層間絶縁膜  
122、145、151、177、203、227、259 素子分離溝  
123、124、202、204、226、228 エッジ領域  
143、175、181、241、242、267、271 ゲート側壁絶縁

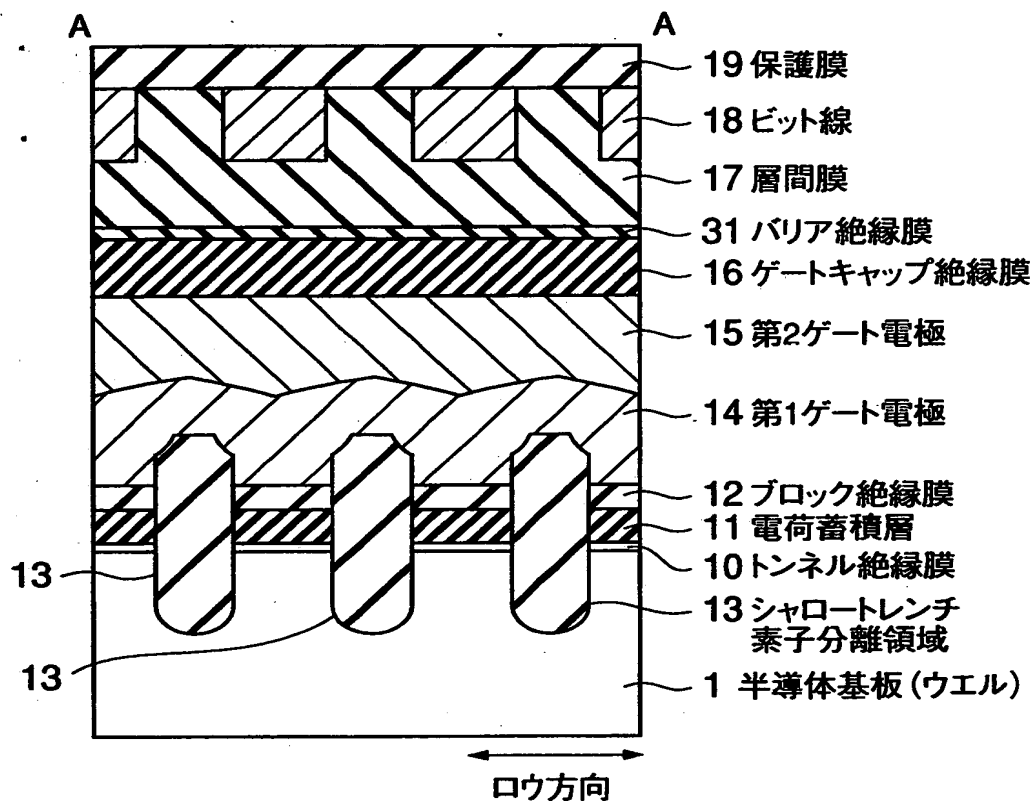
膜

146、207、235 素子分離側壁酸化膜  
147、208 ポリシリコン側壁酸化膜  
148、209、234 端部  
152 第1ゲート電極側壁酸化膜  
153 素子分離側壁絶縁膜  
157、164 ソースコンタクト  
158、165 ドレインコンタクト  
185、245 P型高濃度領域  
210、246 シリコン酸化膜  
212 後酸化膜  
232 ポリシリコン側壁絶縁膜  
252 ビット線コンタクト  
253 SLコンタクト  
256 Nウエル  
257 Pウエル  
265 第1層間絶縁膜  
266 第2層間絶縁膜  
272 ソース線

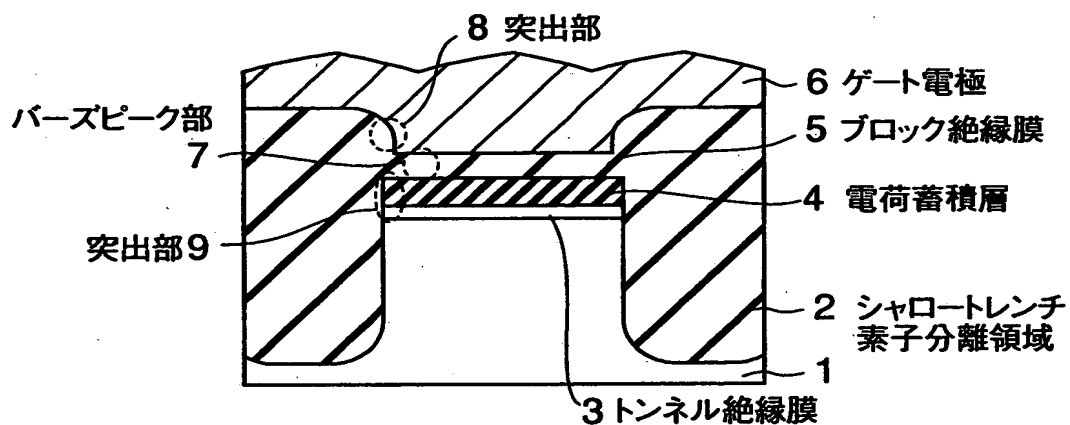
【書類名】

凶面

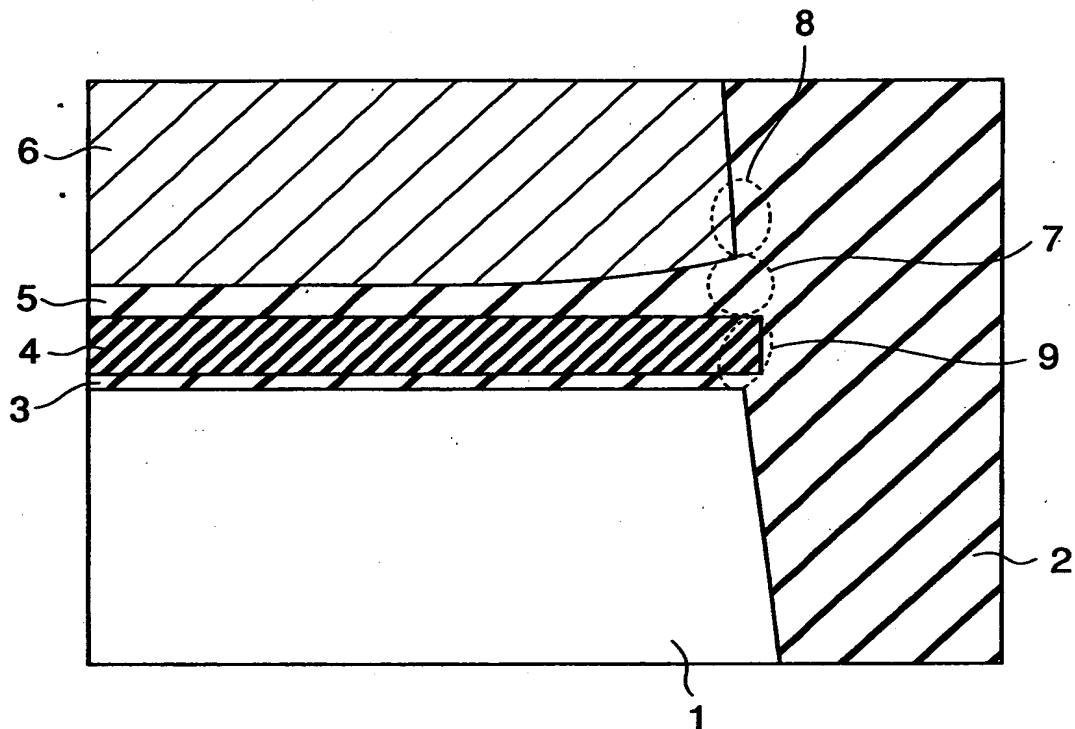
【図 1】



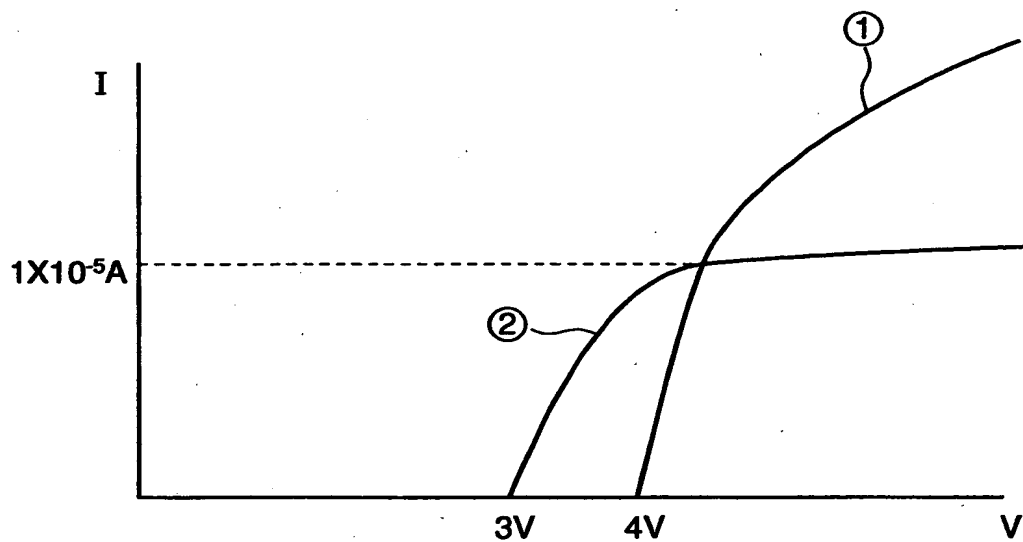
【図 2】



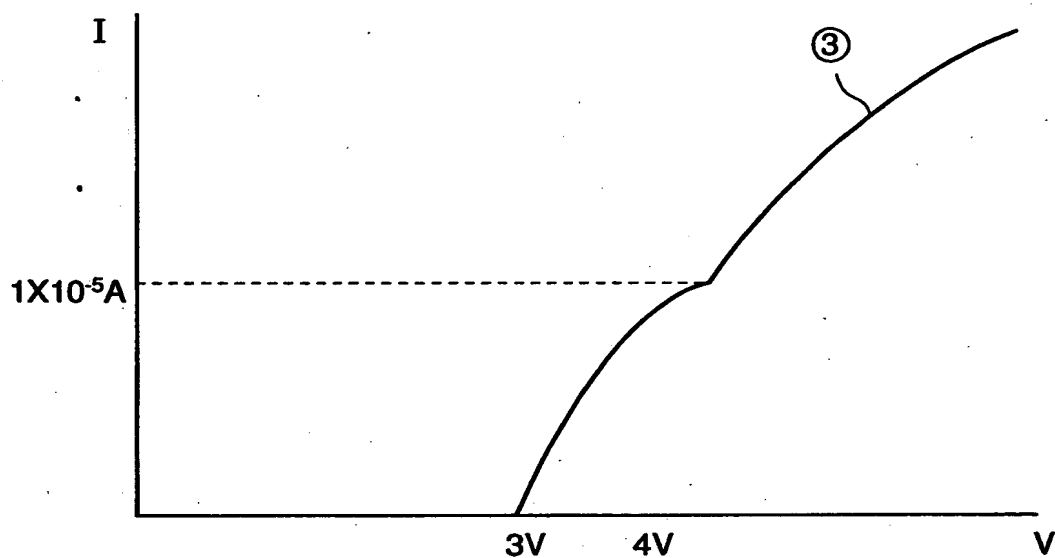
【図3】



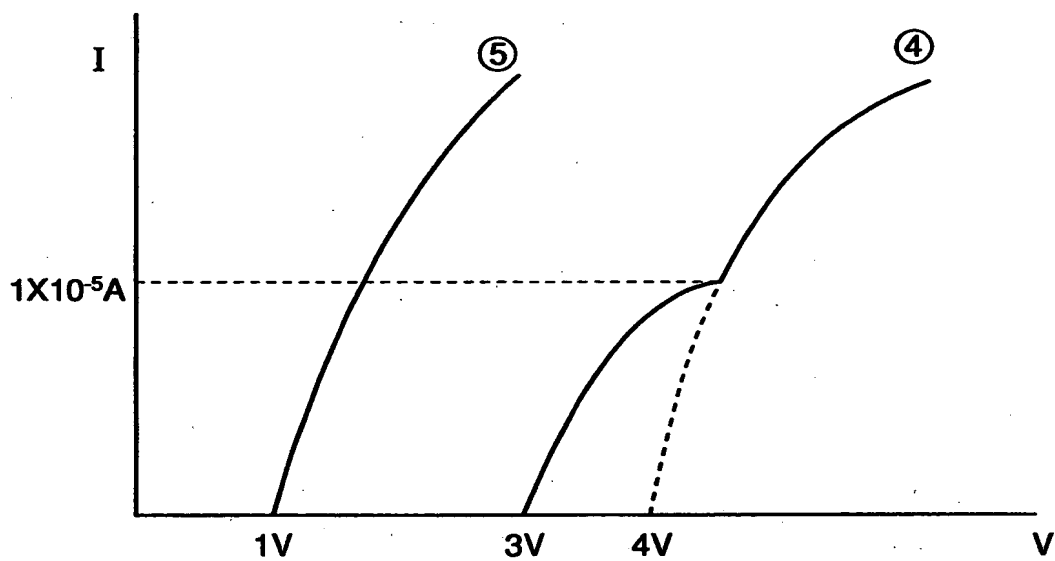
【図4】



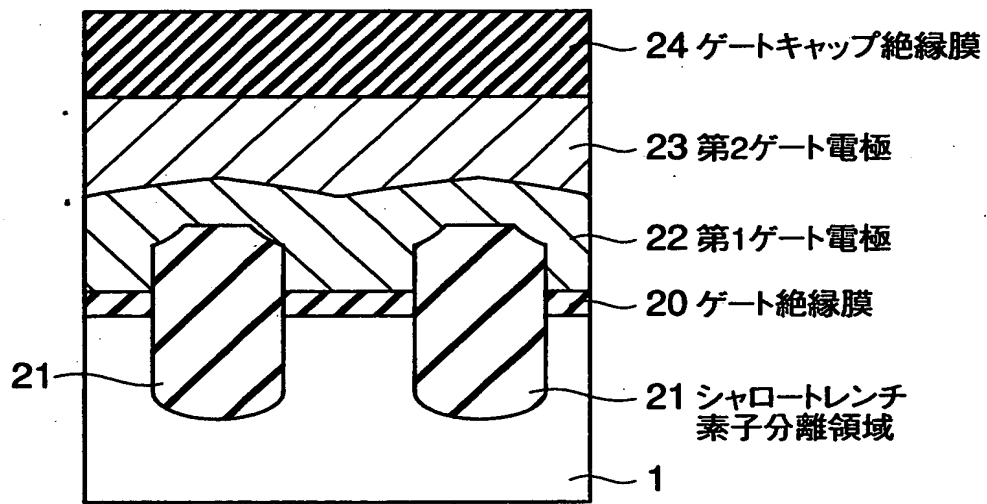
【図 5】



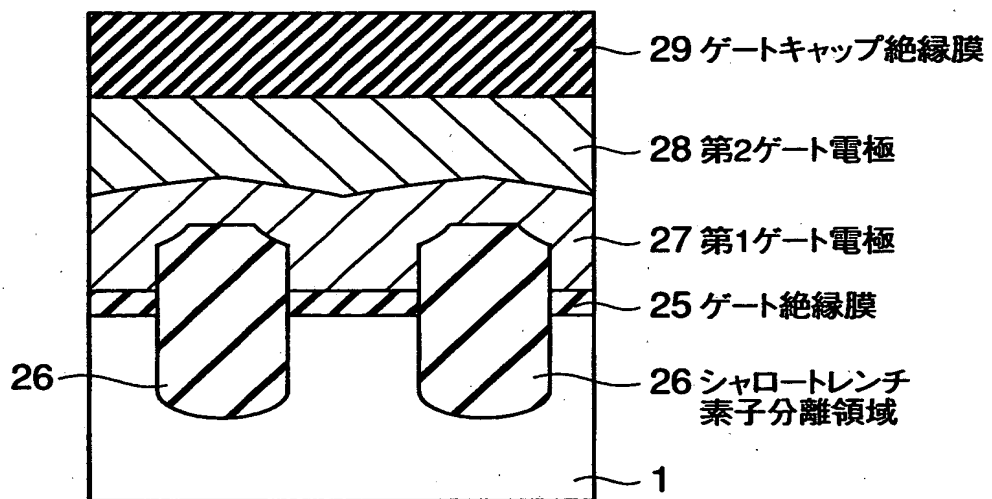
【図 6】



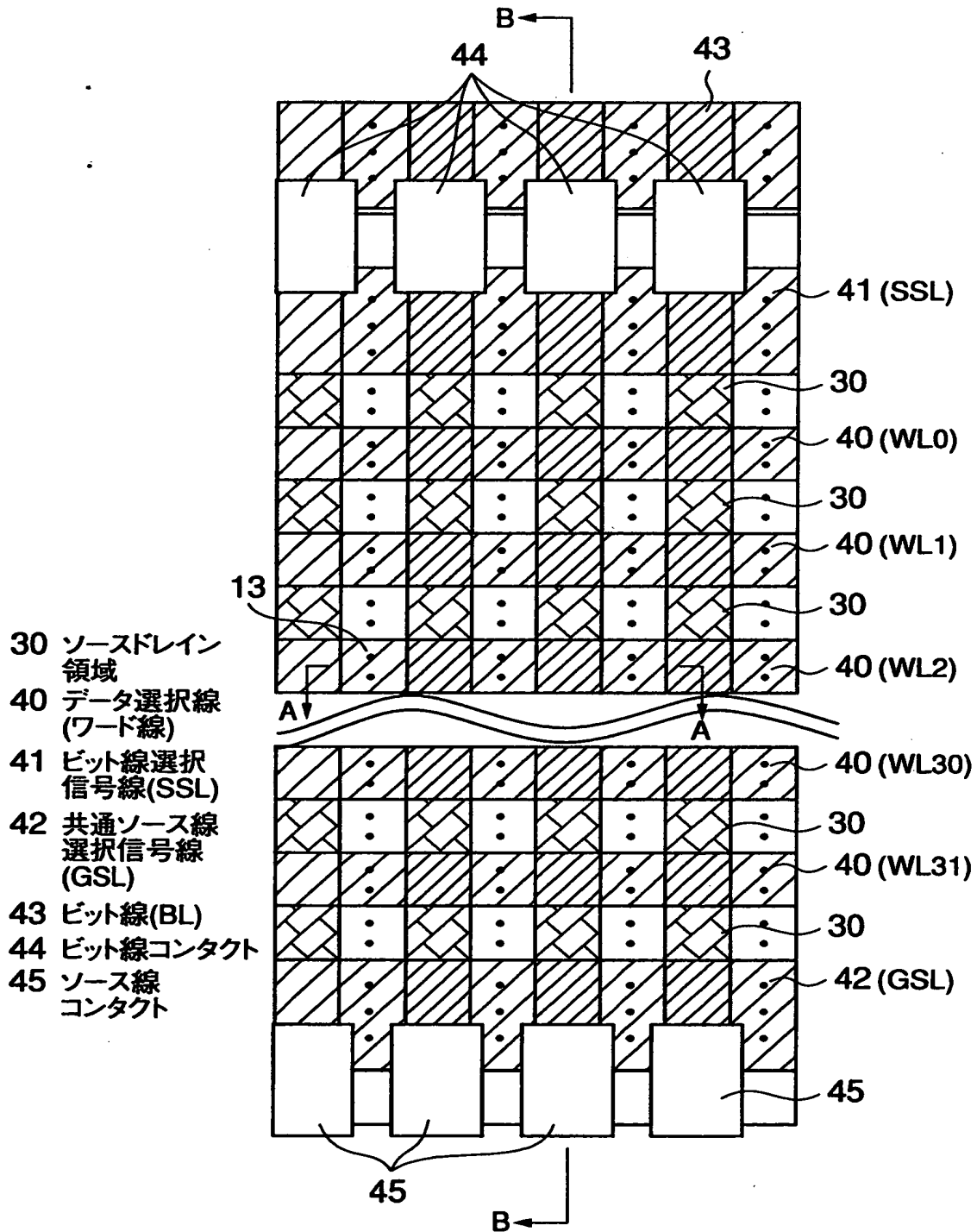
【図 7】



【図 8】

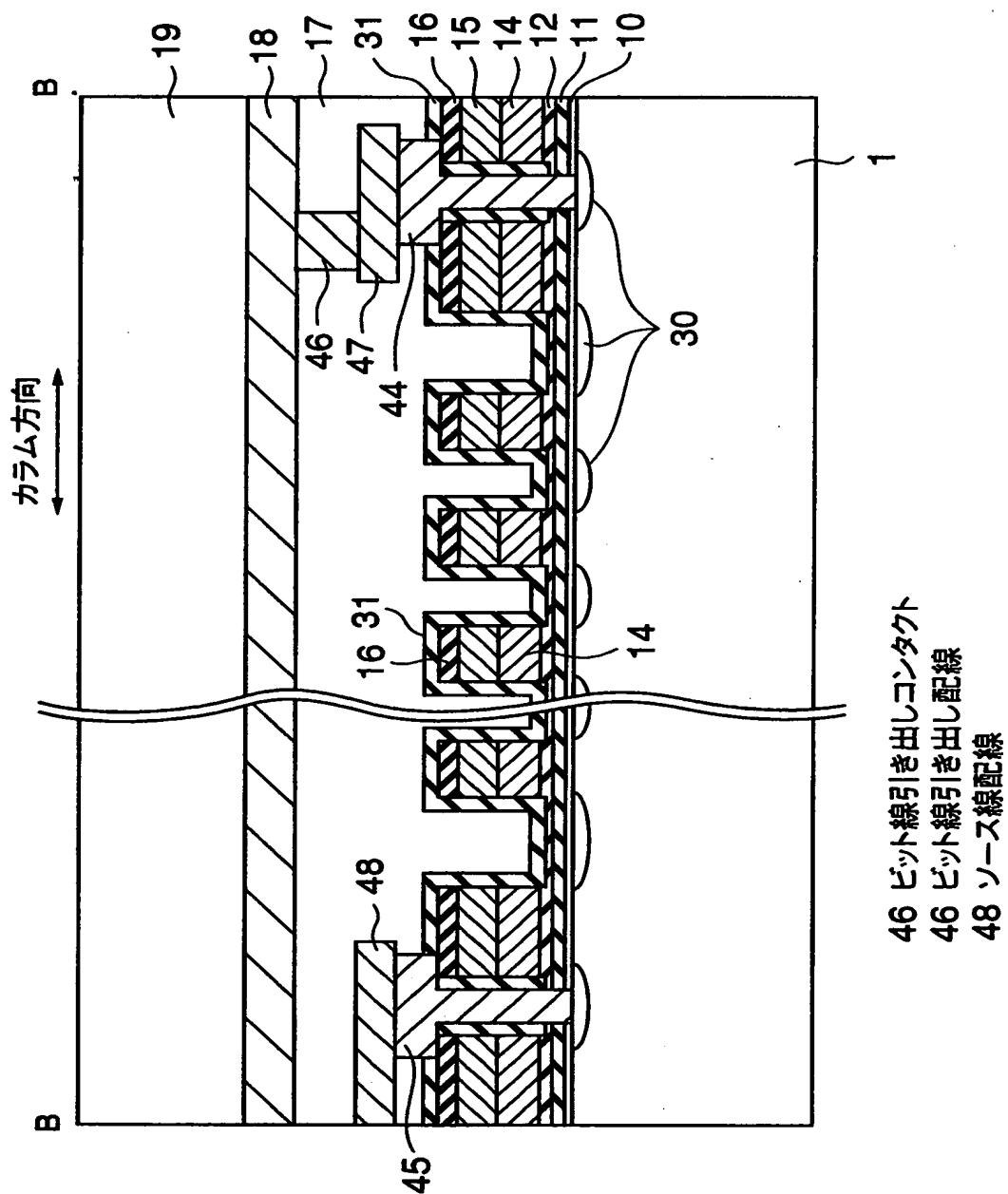


【図 9】

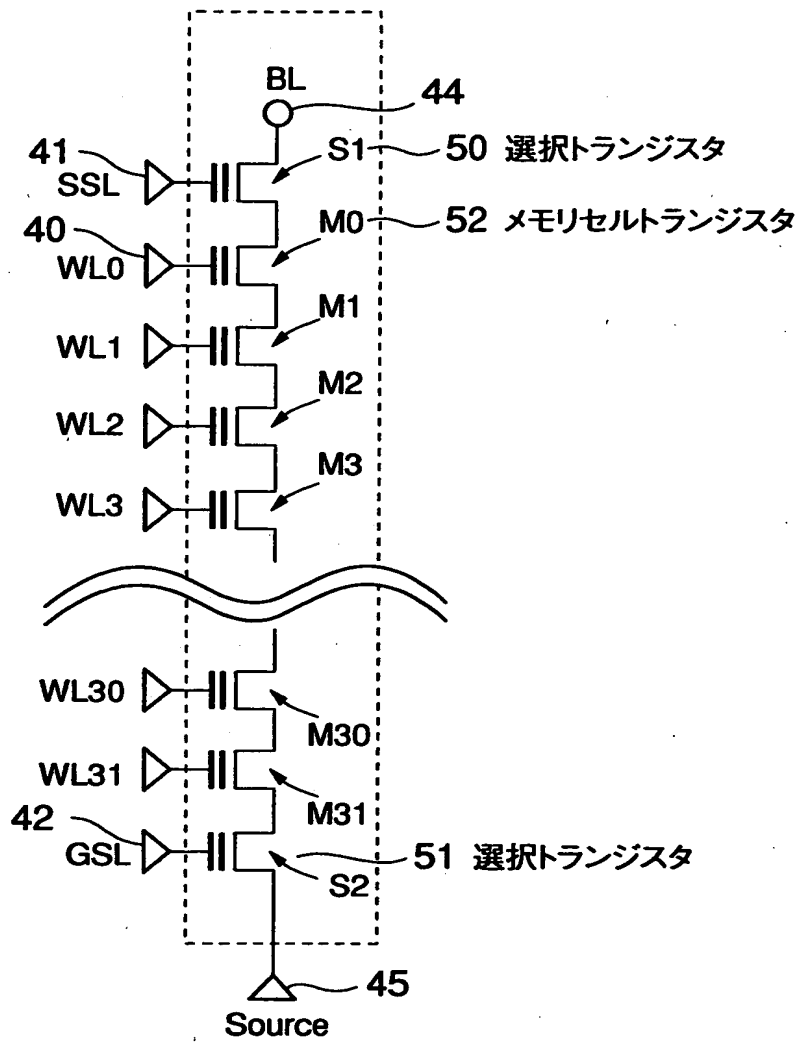




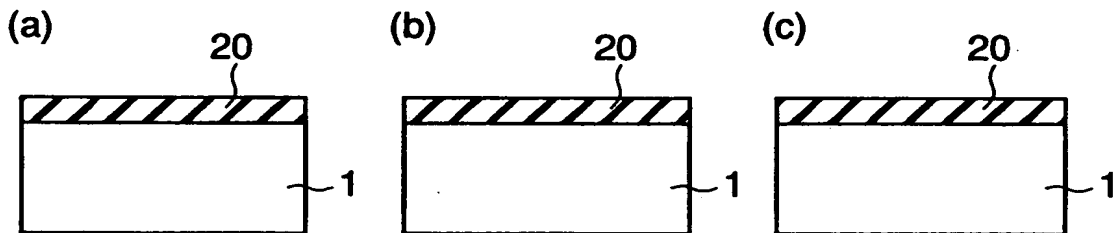
【図10】



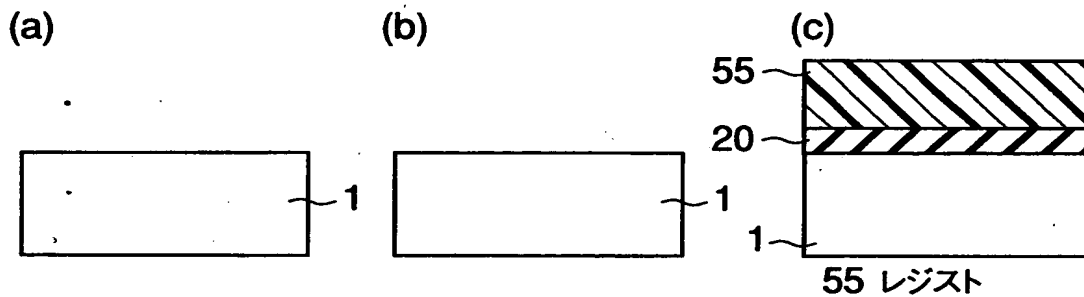
【図 1 1】



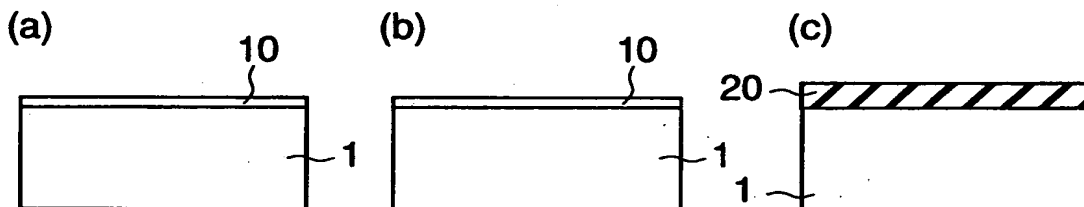
【図 1 2】



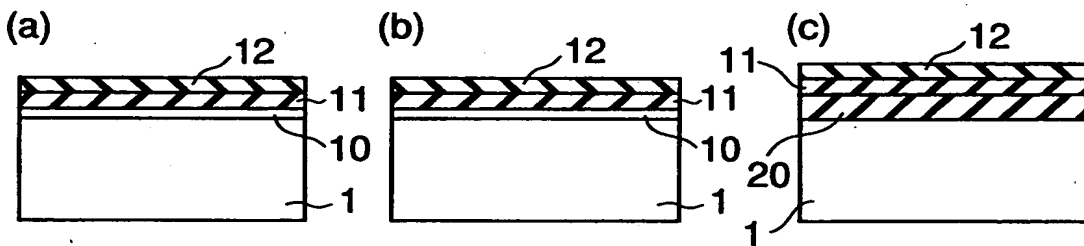
【図13】



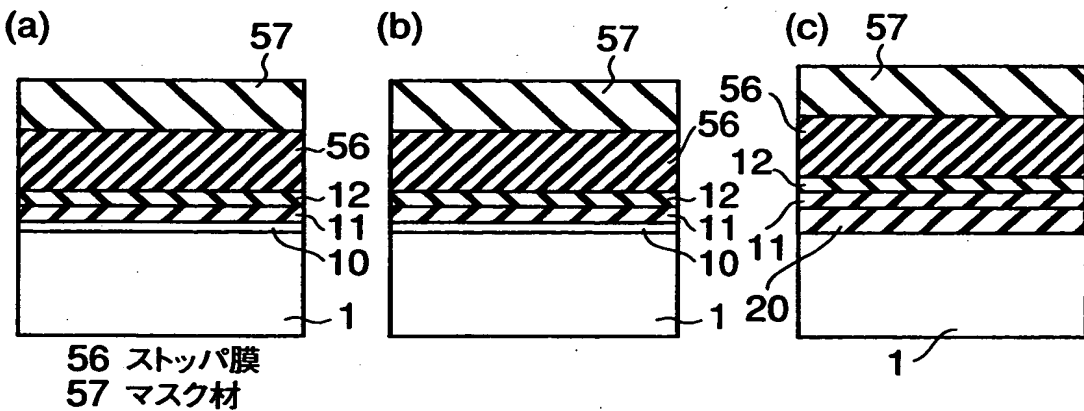
【図14】



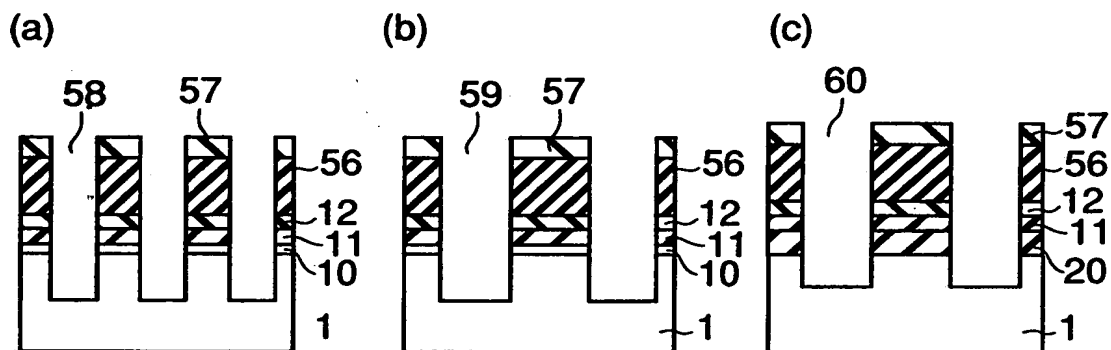
【図15】



【図16】

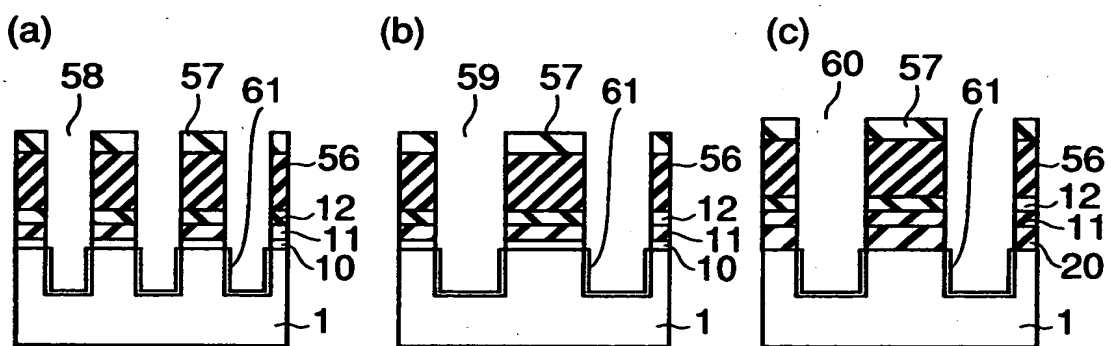


【図 1 7】



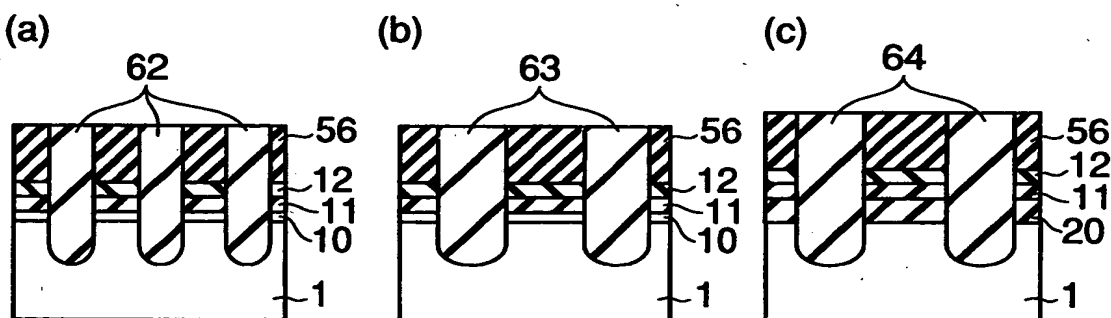
58,59,60 素子分離溝(トレンチ溝)

【図 1 8】



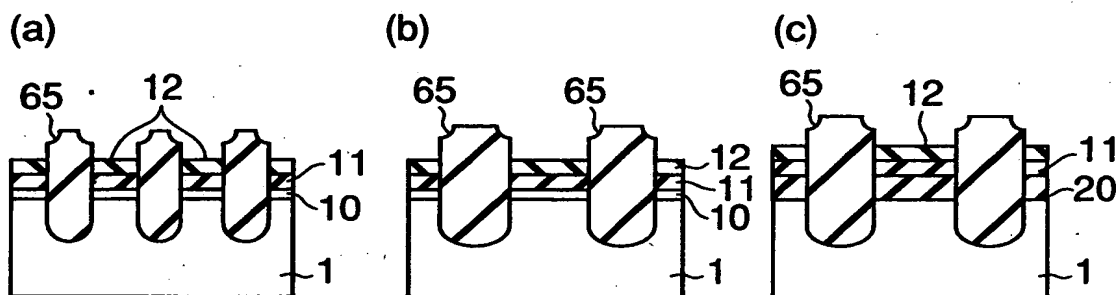
61 シリコン酸化膜

【図 1 9】



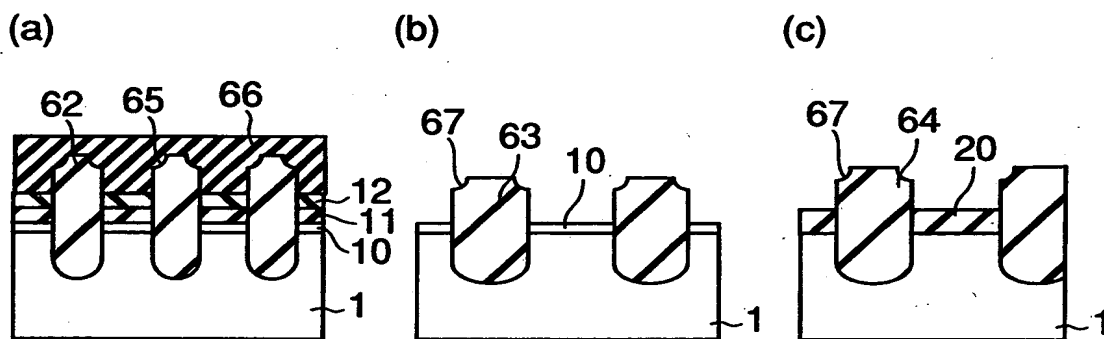
62,63,64 素子分離絶縁膜(埋込み材)

【図 2 0】



65 窪み

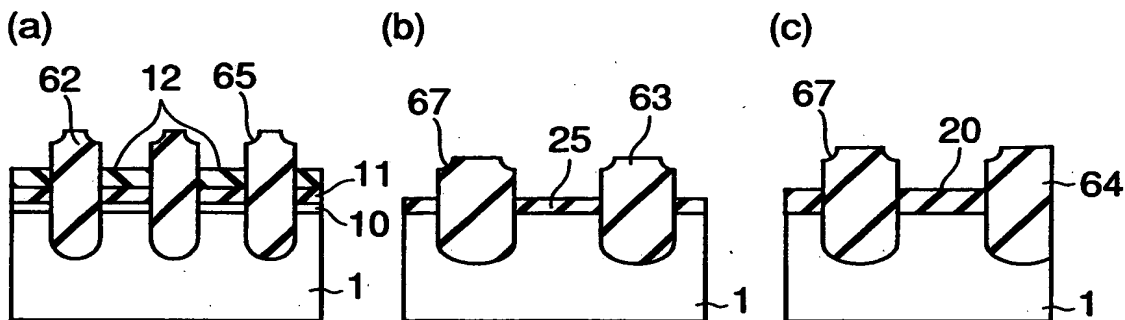
【図 2 1】



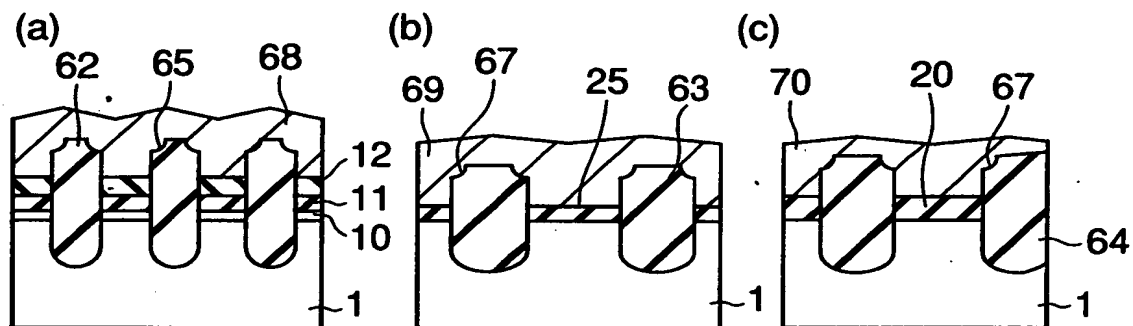
66 レジスト

67 窪み

【図 2 2】

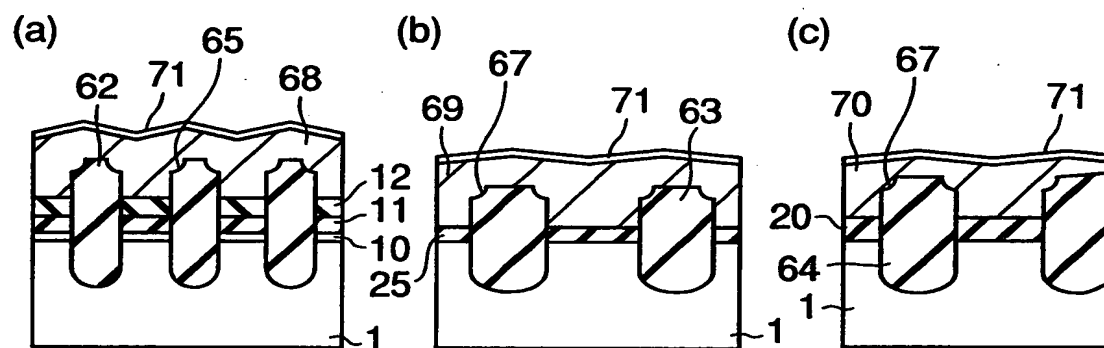


【図 2 3】



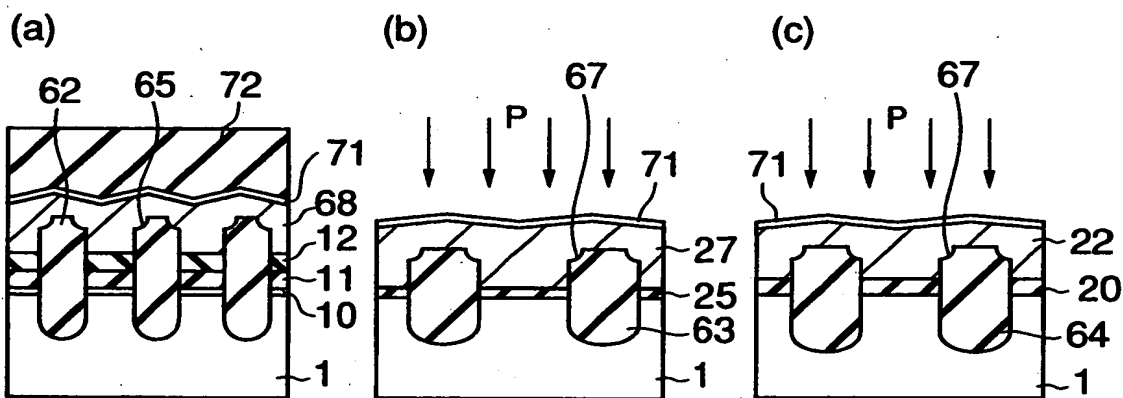
68,69,70 ゲート電極材料

【図 2 4】



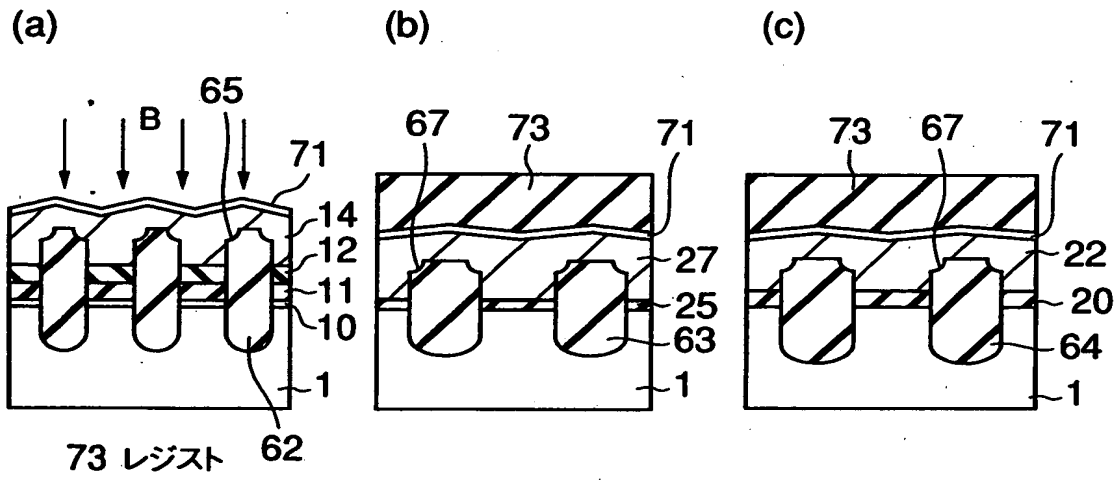
71 シリコン酸化膜

【図 2 5】

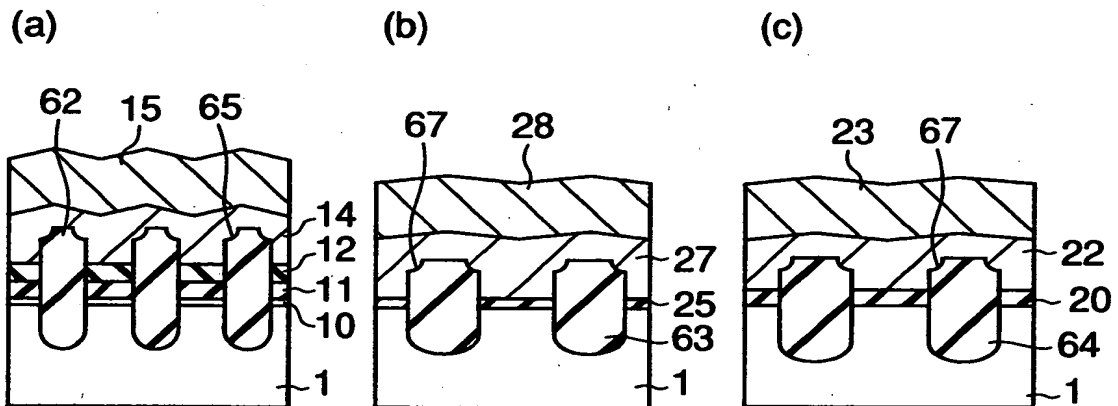


72 レジスト

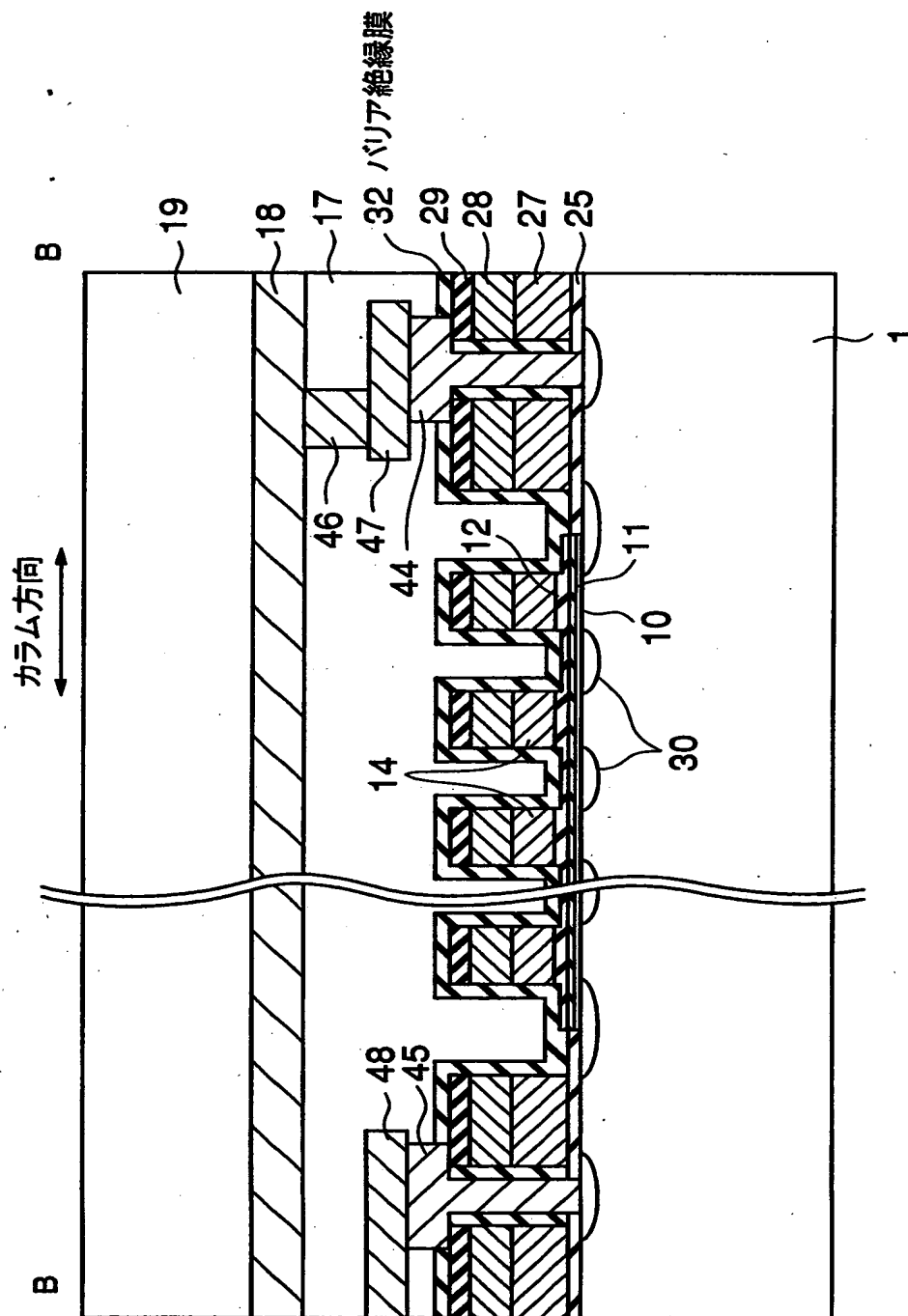
【図 2 6】



【図 2 7】

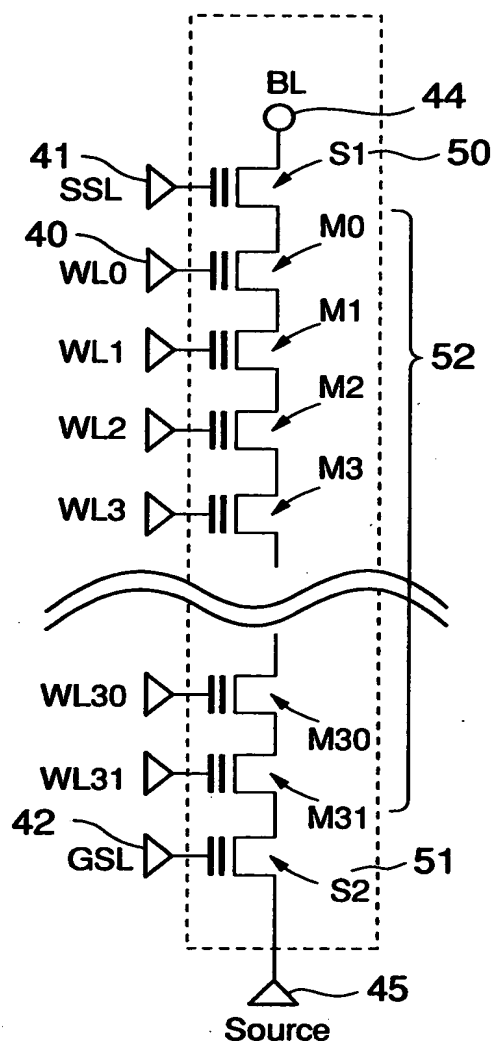


【図 28】

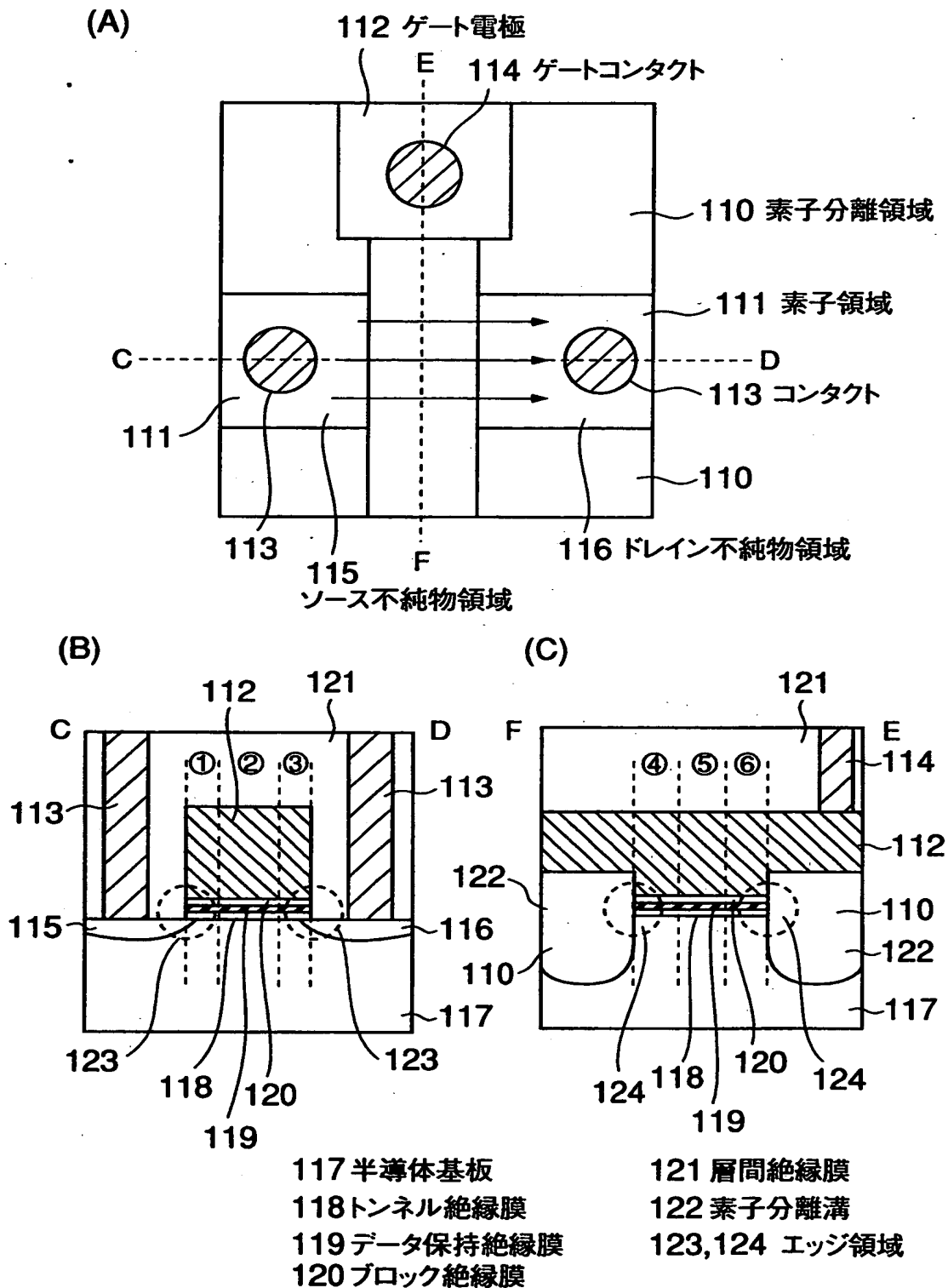




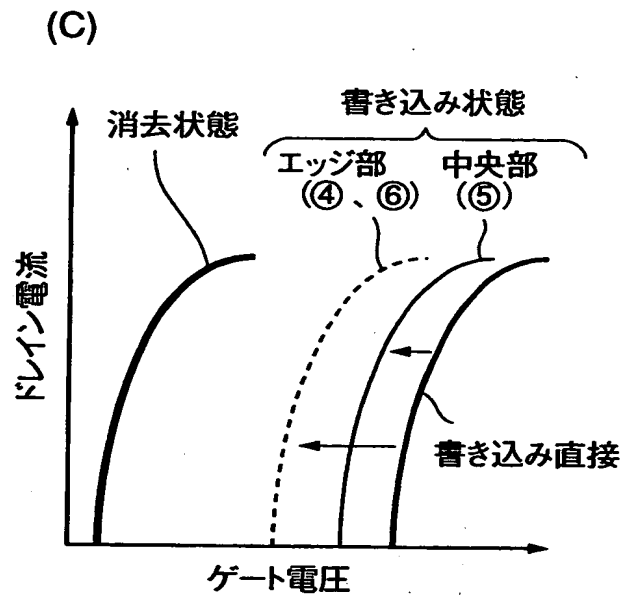
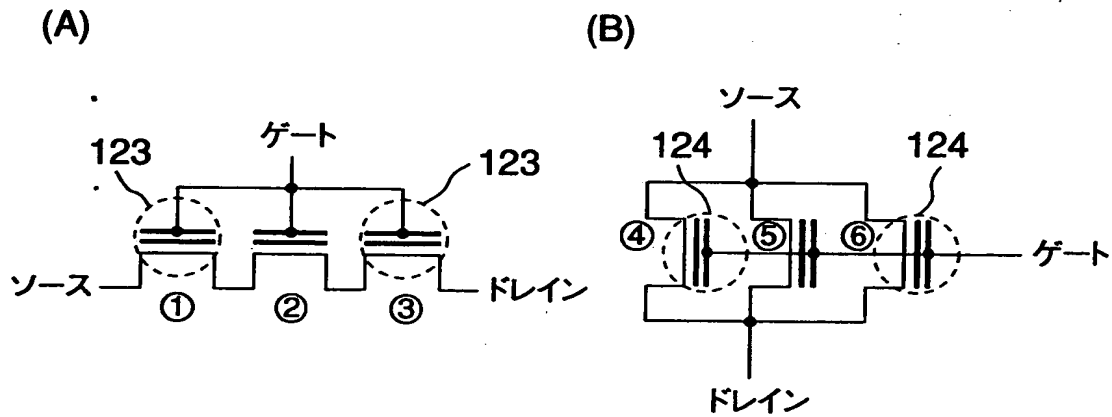
【図 29】



【図30】

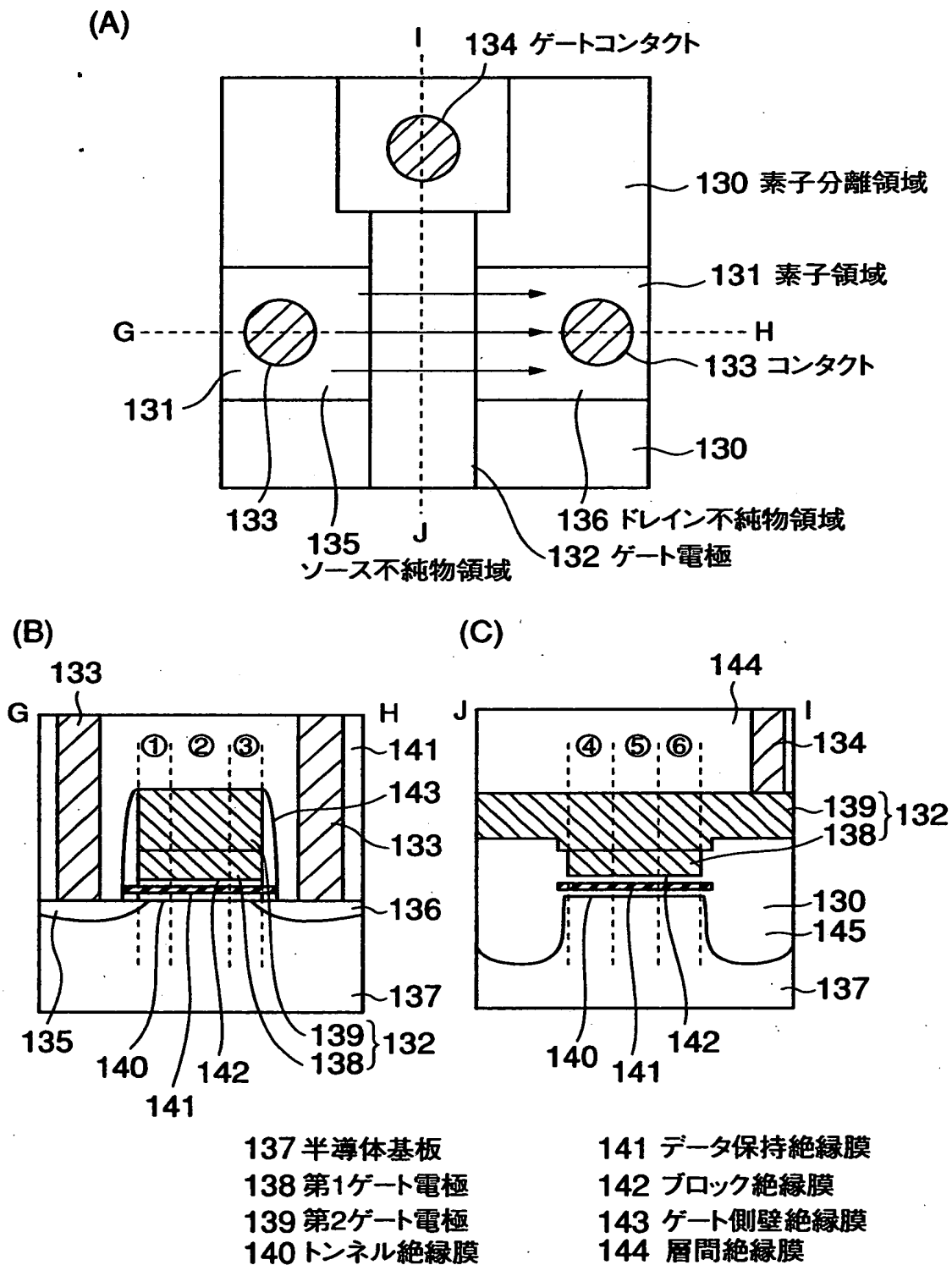


【図 3 1】

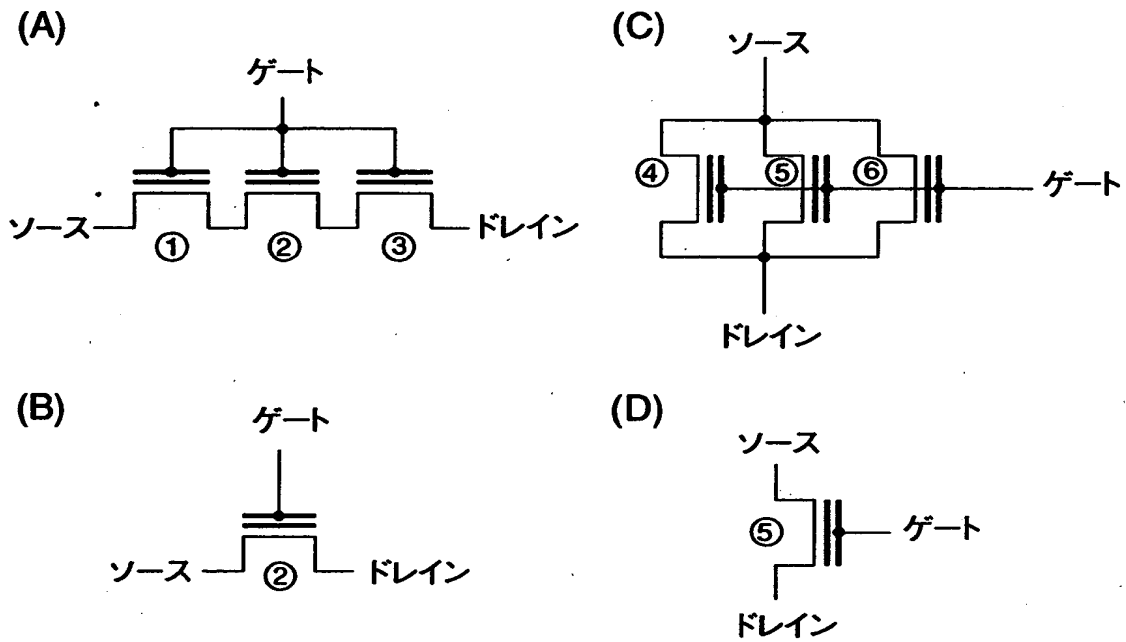


メモリセルのIV特性

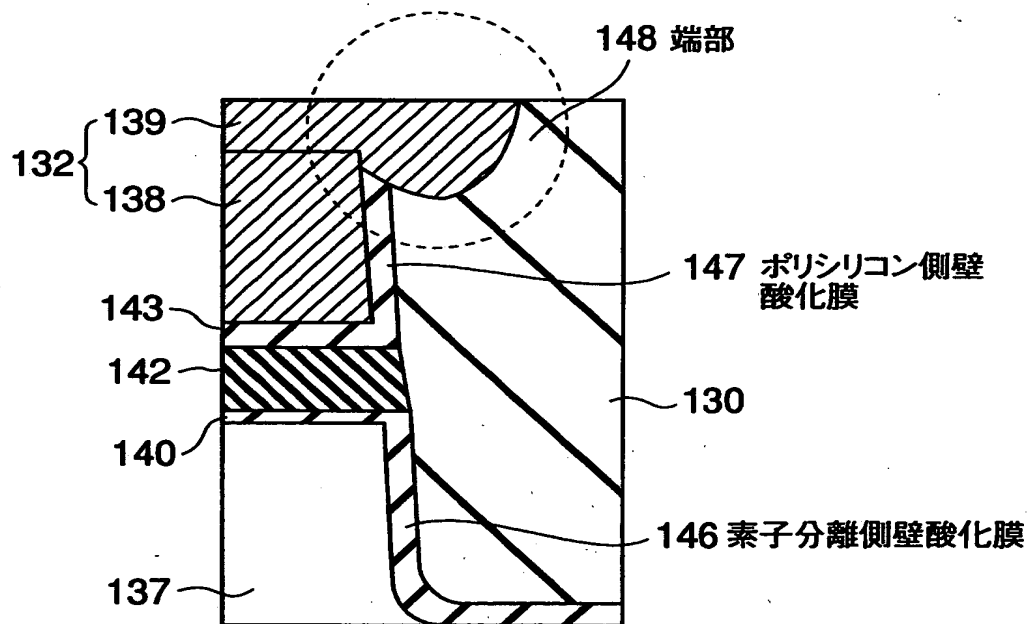
【図 32】



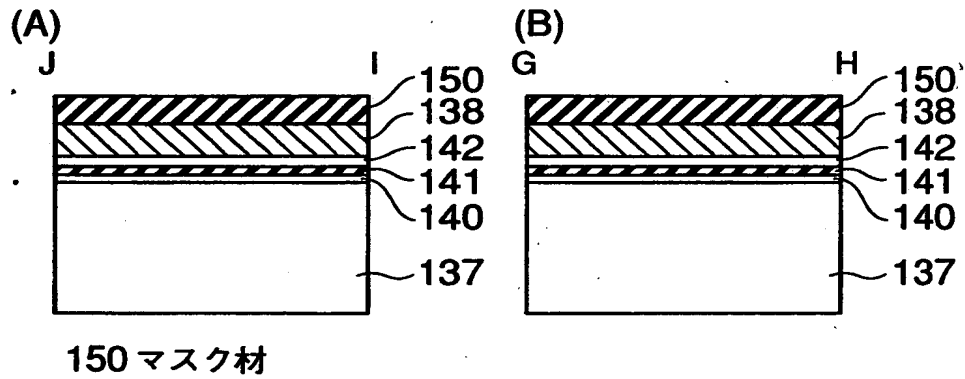
【図 33】



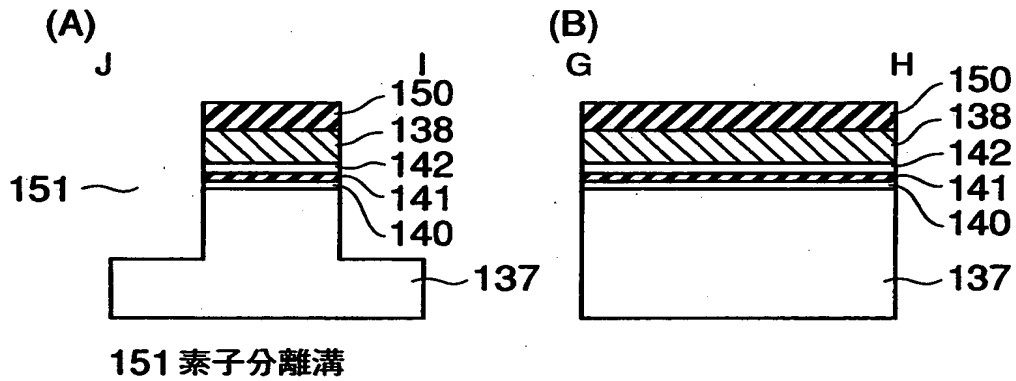
【図 34】



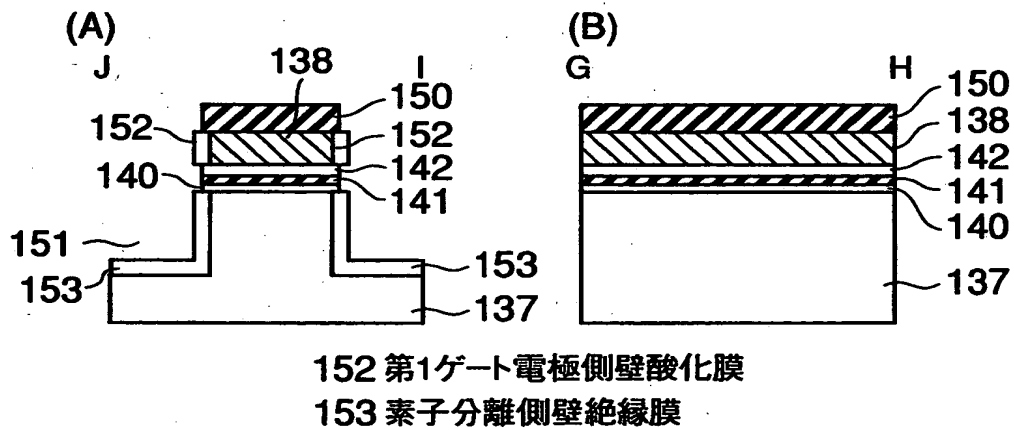
【図 3 5】



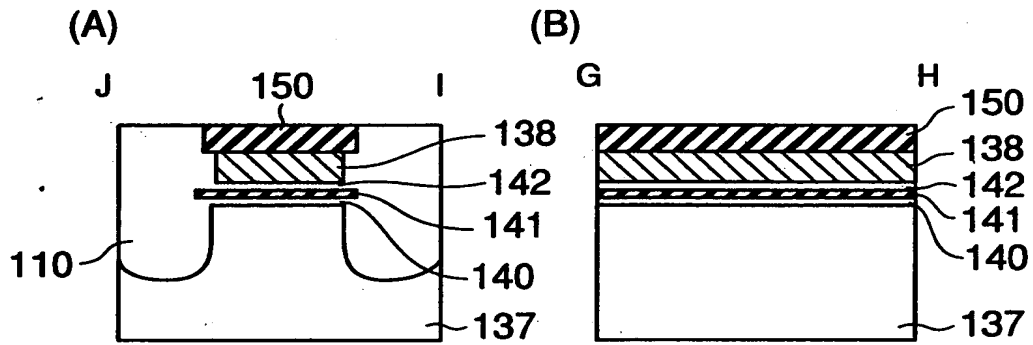
【図 3 6】



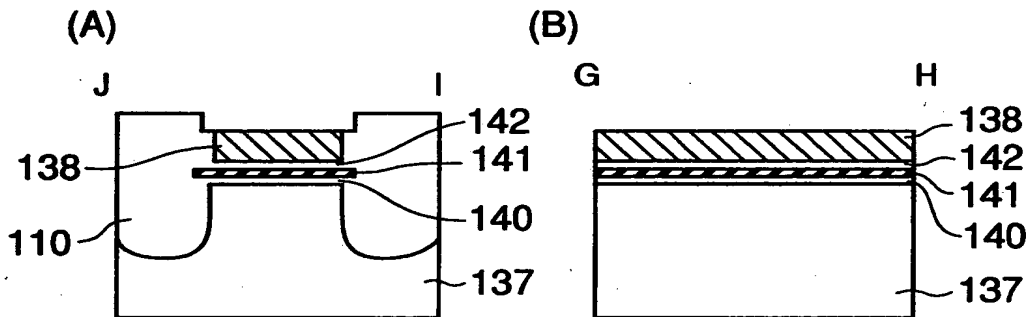
【図 3 7】



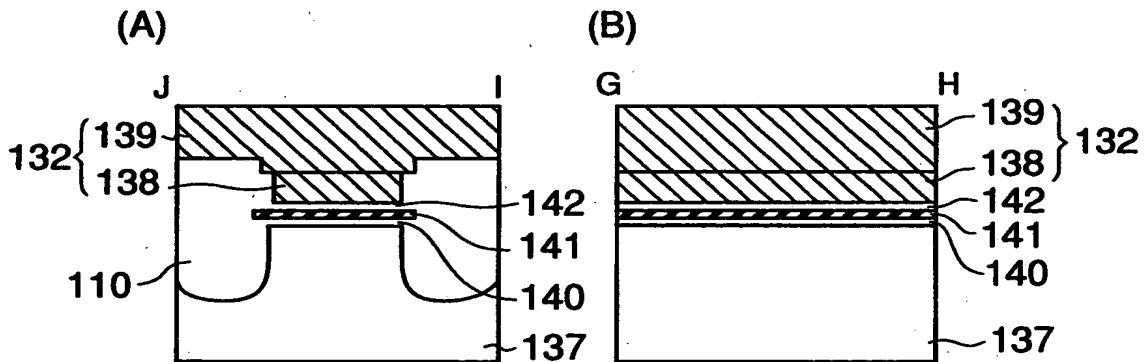
【図 3 8】



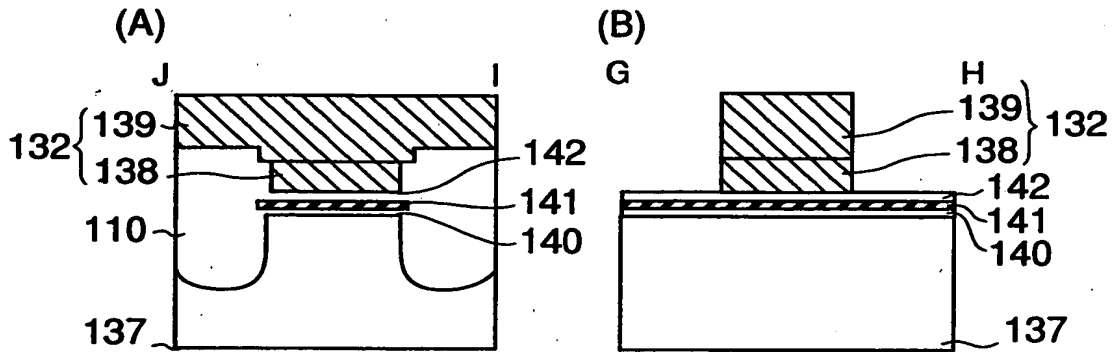
【図 3 9】



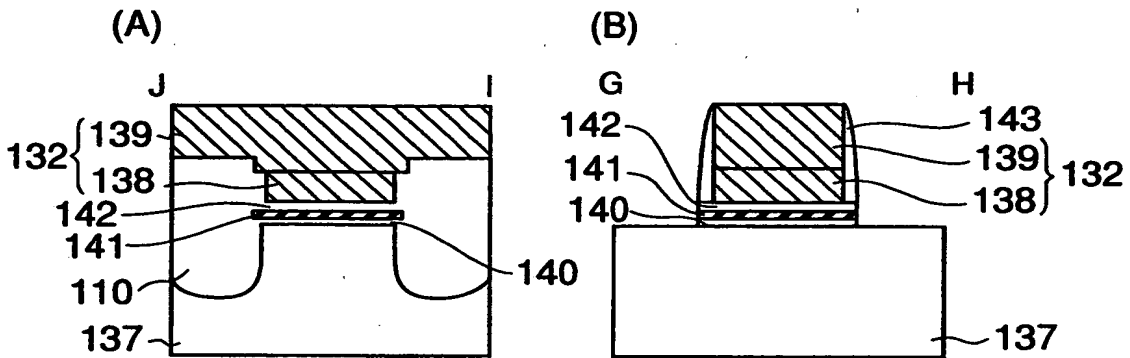
【図 4 0】



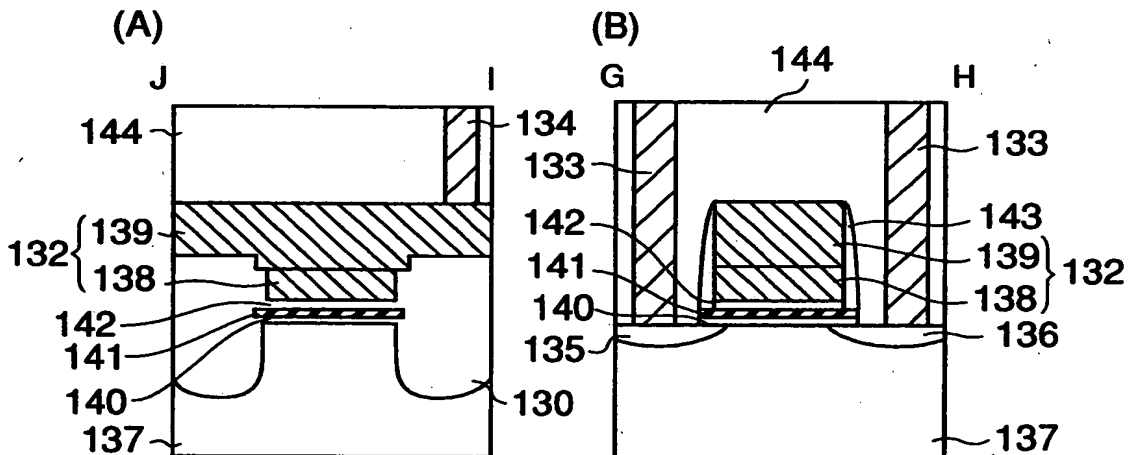
【図 4 1】



【図 4 2】

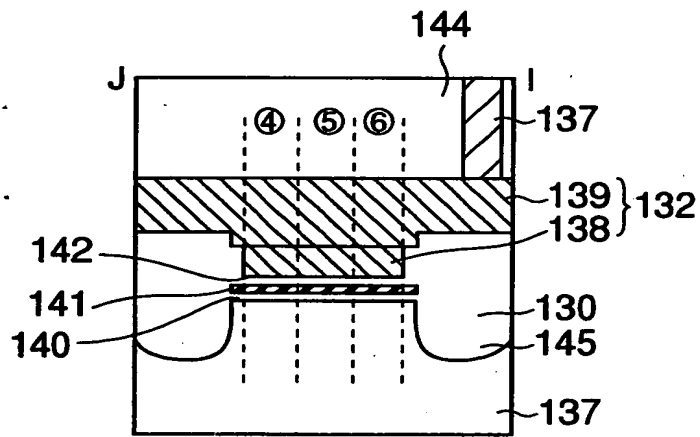


【図 4 3】

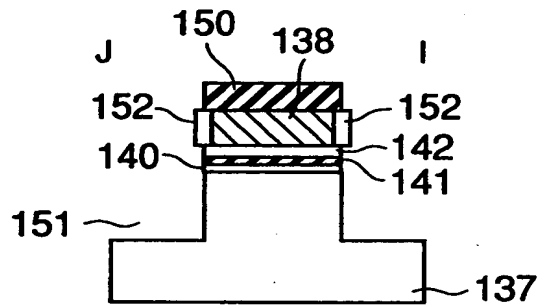




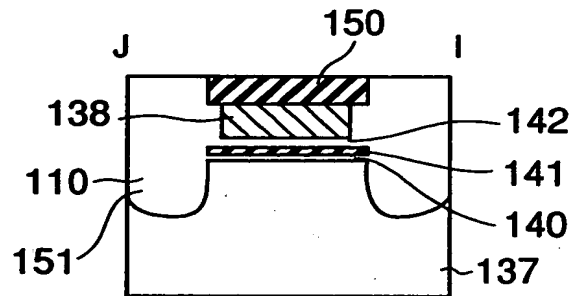
【図 4 4】



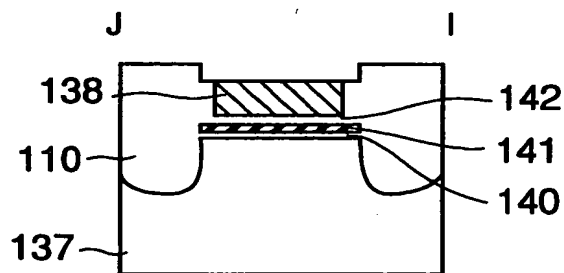
【図 4 5】



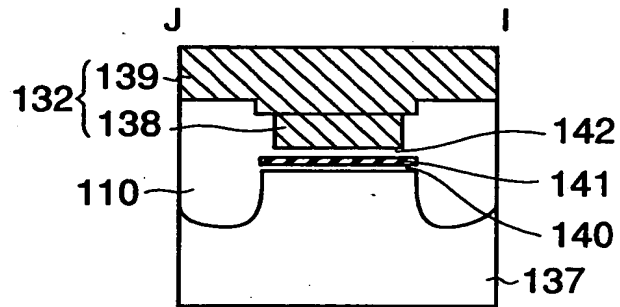
【図 4 6】



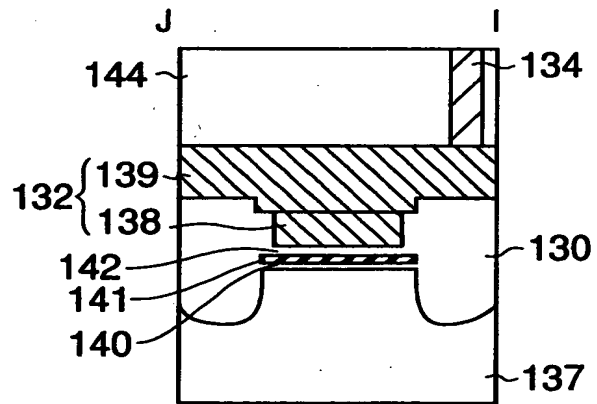
【図 4 7】



【図 4 8】

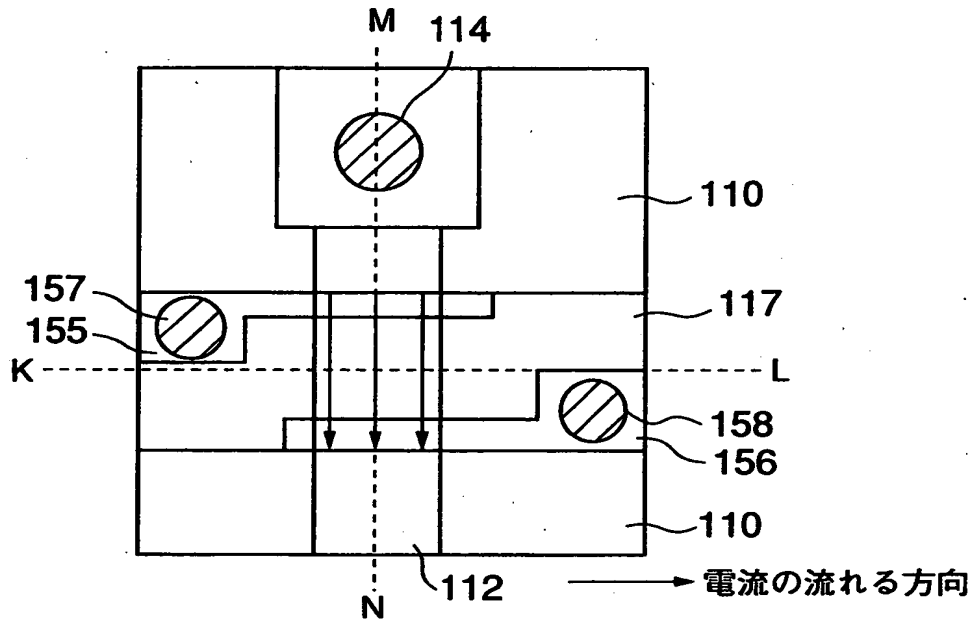


【図 4 9】



【図 5 0】

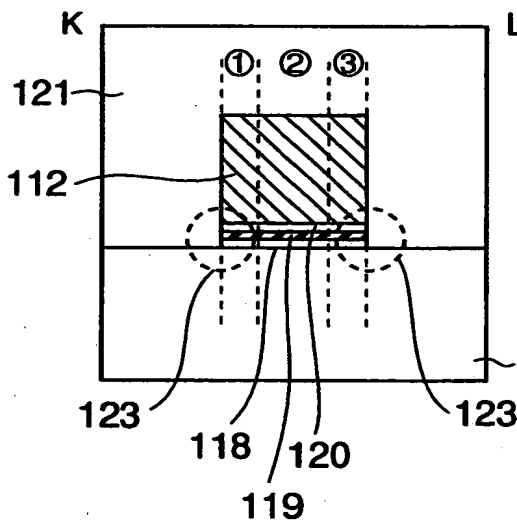
(A)



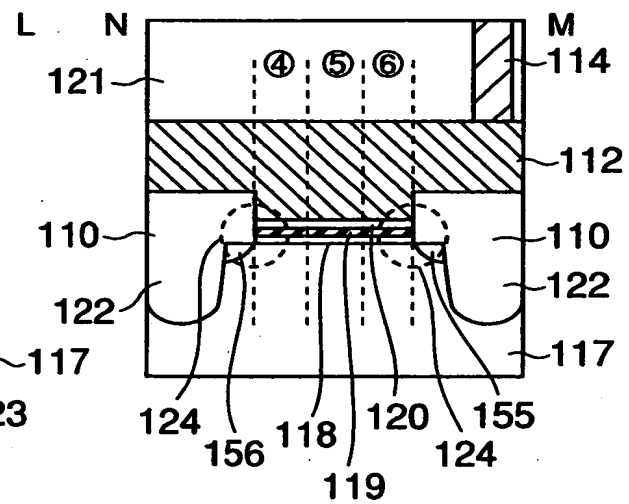
155 ソース不純物領域  
156 ドレイン不純物領域

157 ソースコンタクト  
158 ドレインコンタクト

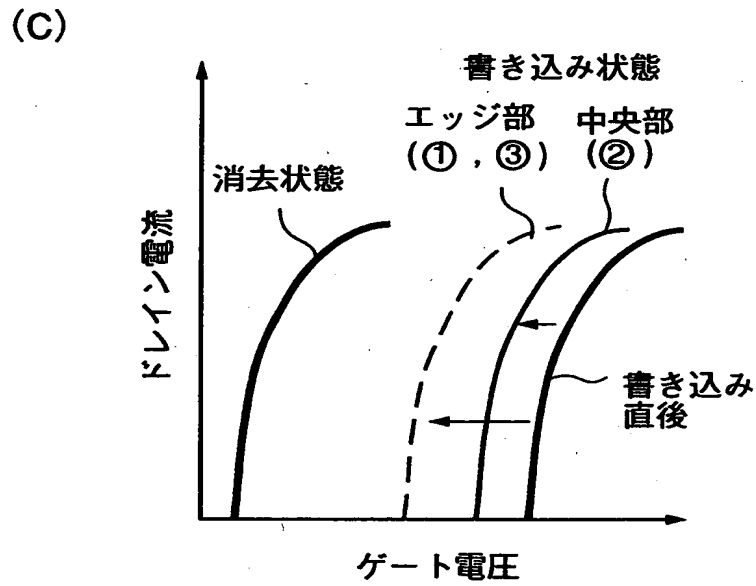
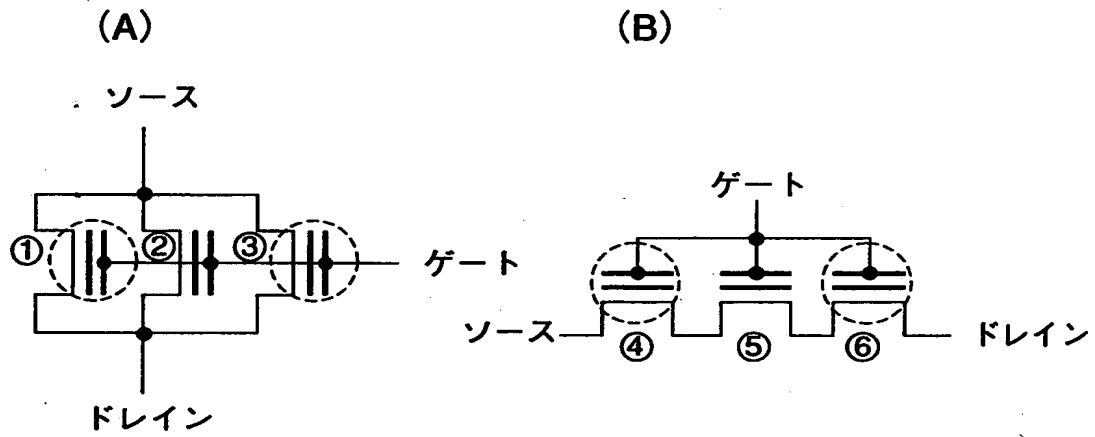
(B)



(C)

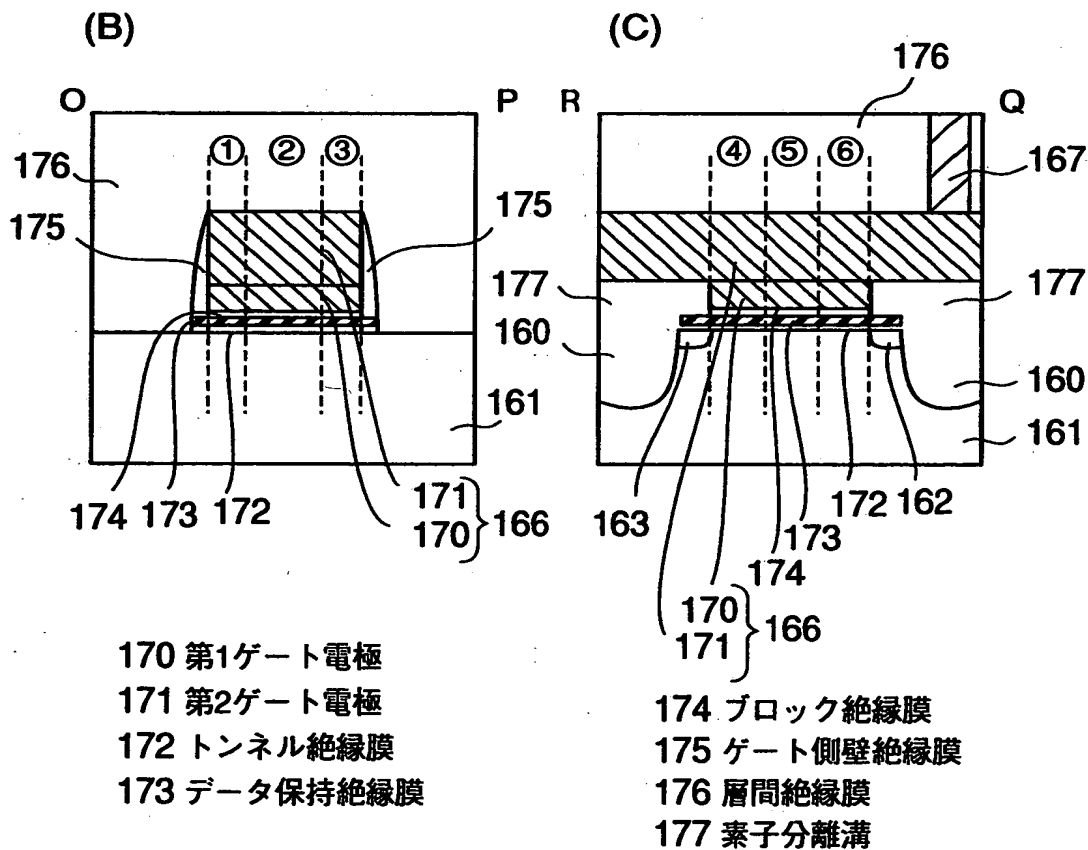
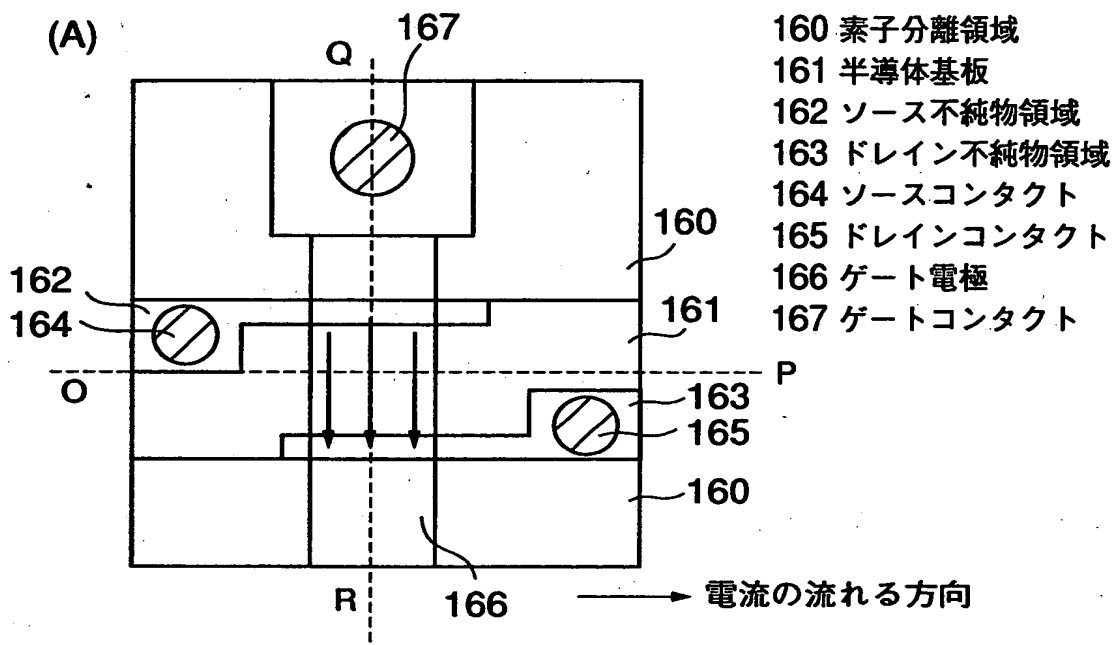


【図 5 1】

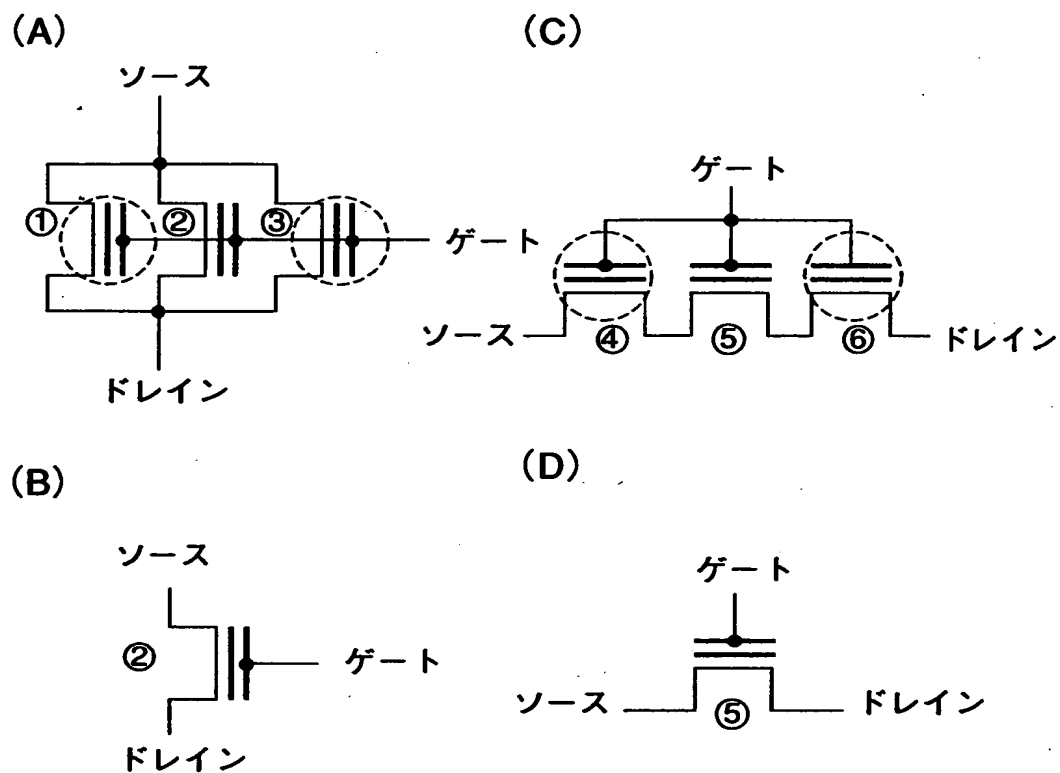


メモリセルのIV特性

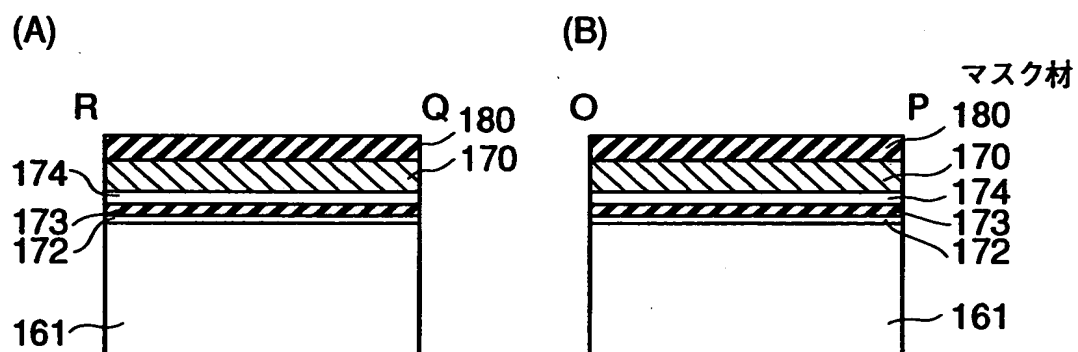
【図52】



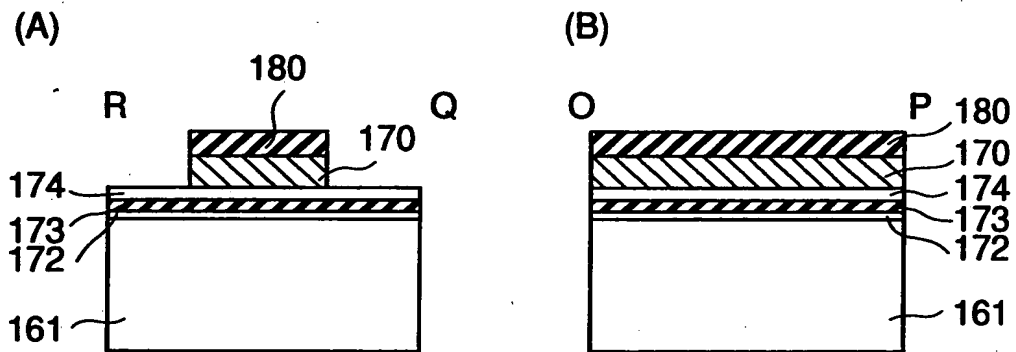
【図 53】



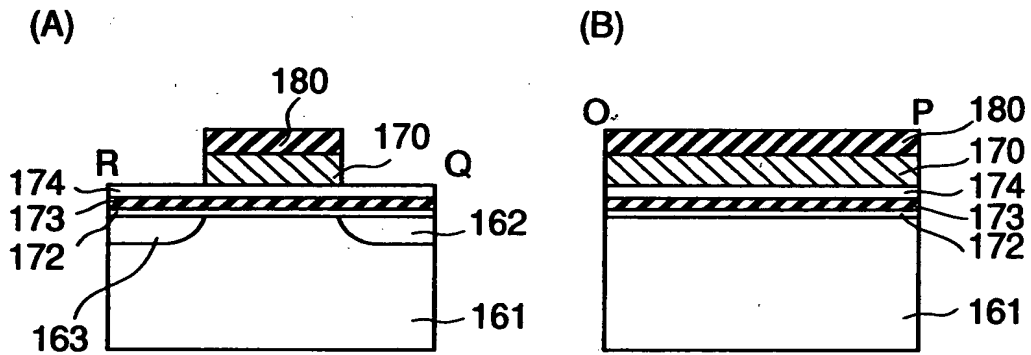
【図 54】



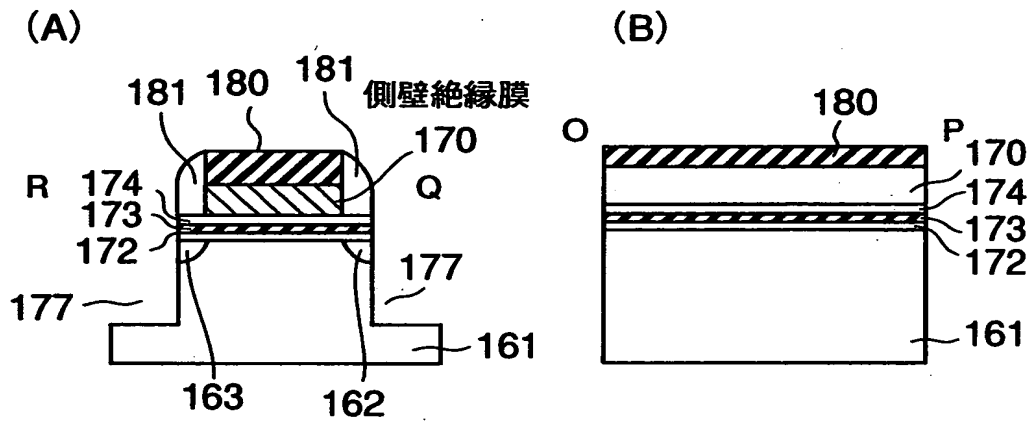
【図 5 5】



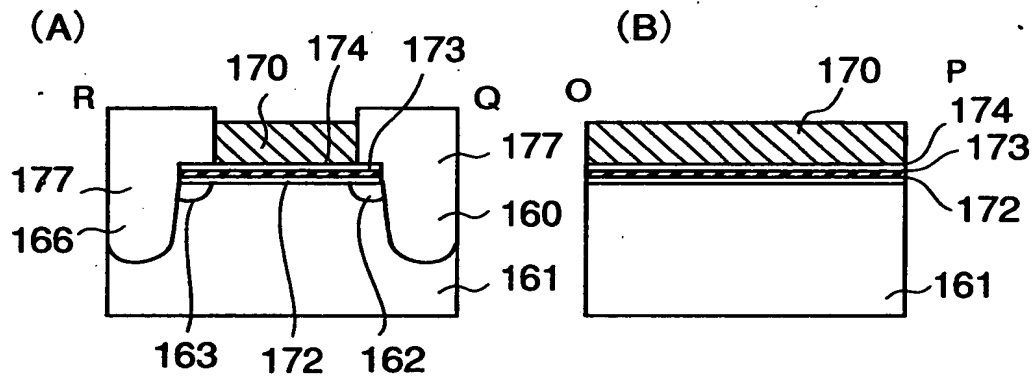
【図 5 6】



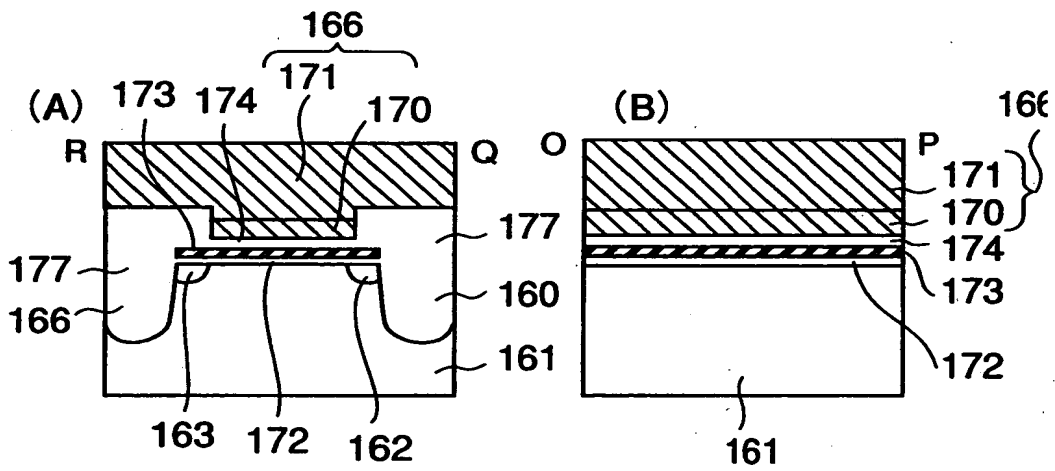
【図 5 7】



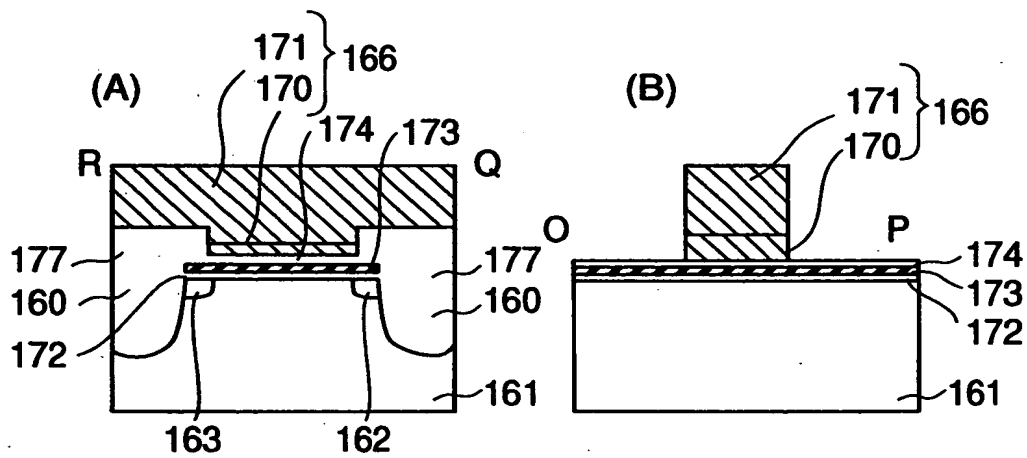
【図 58】



【図 59】

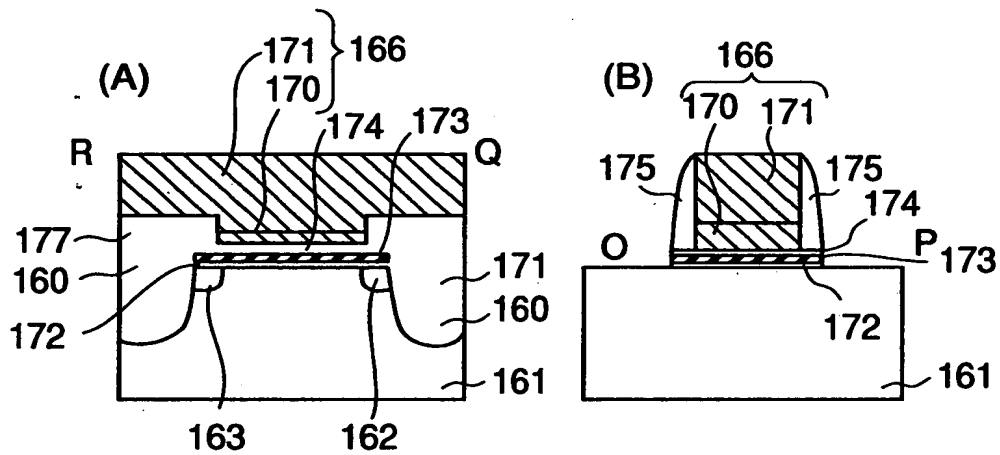


【図 60】

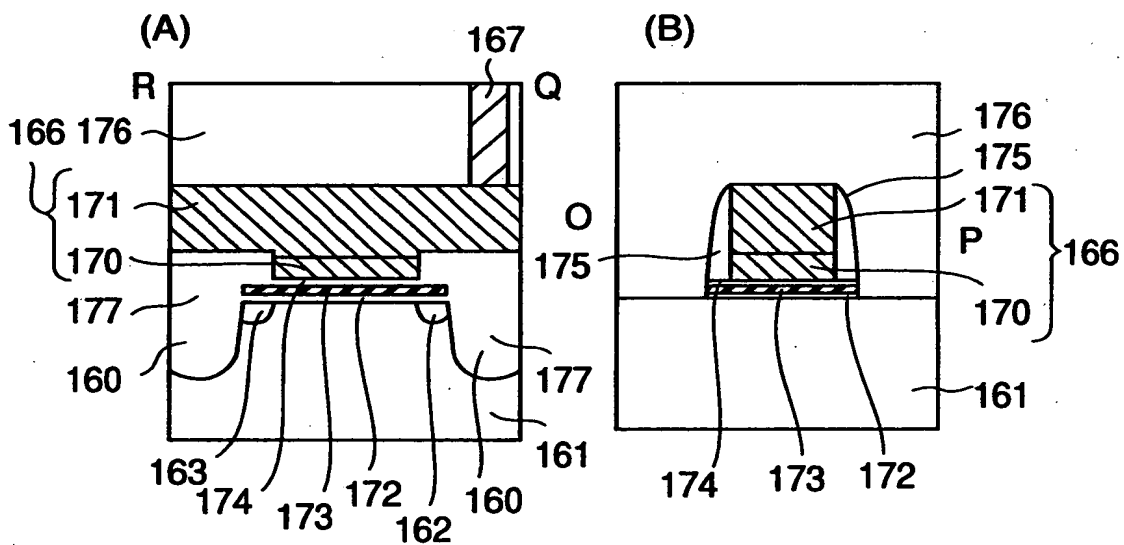




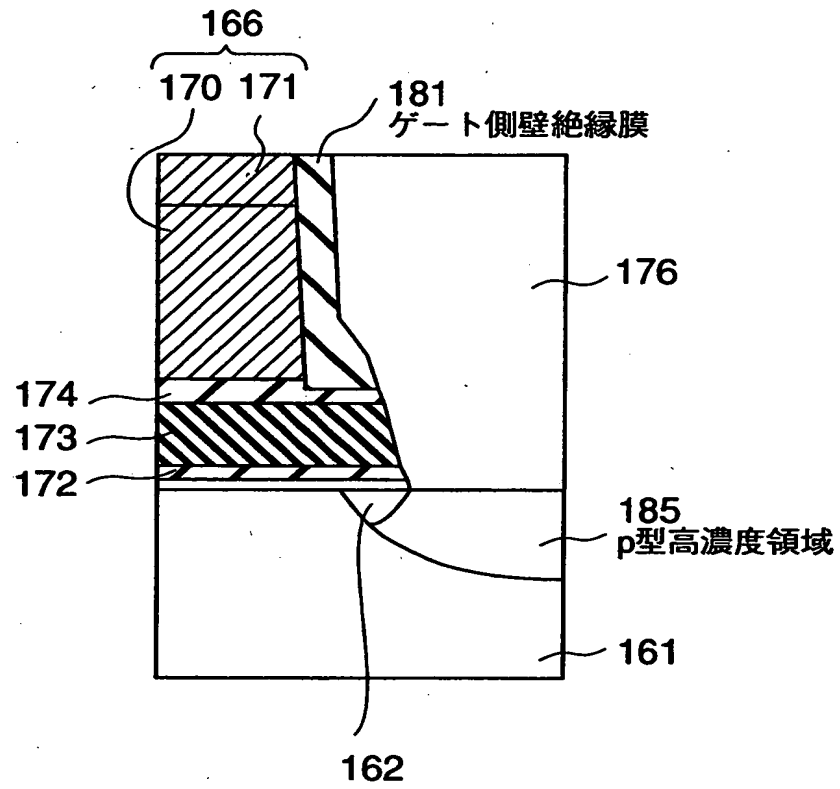
【図 6 1】



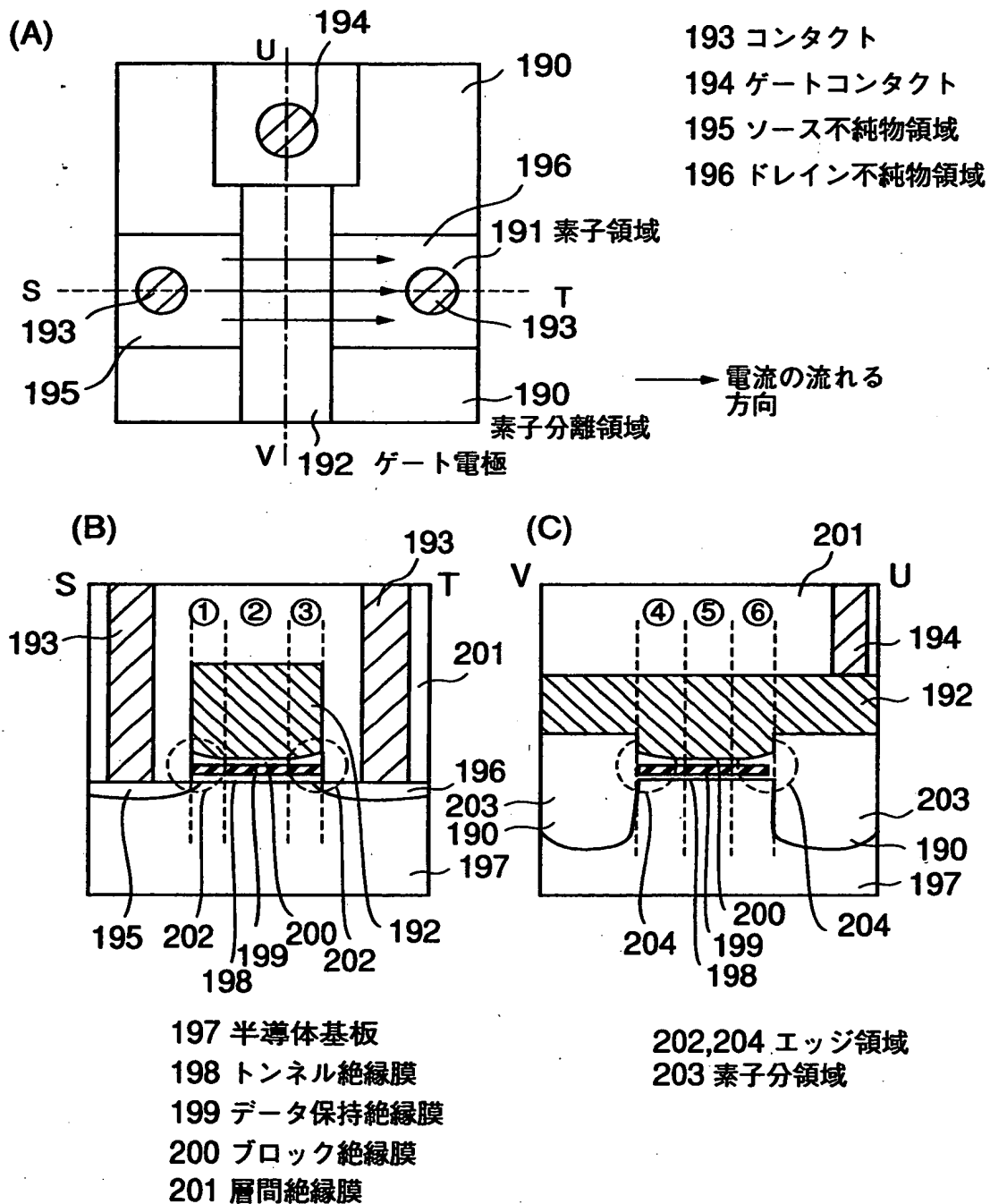
【图 6 2】



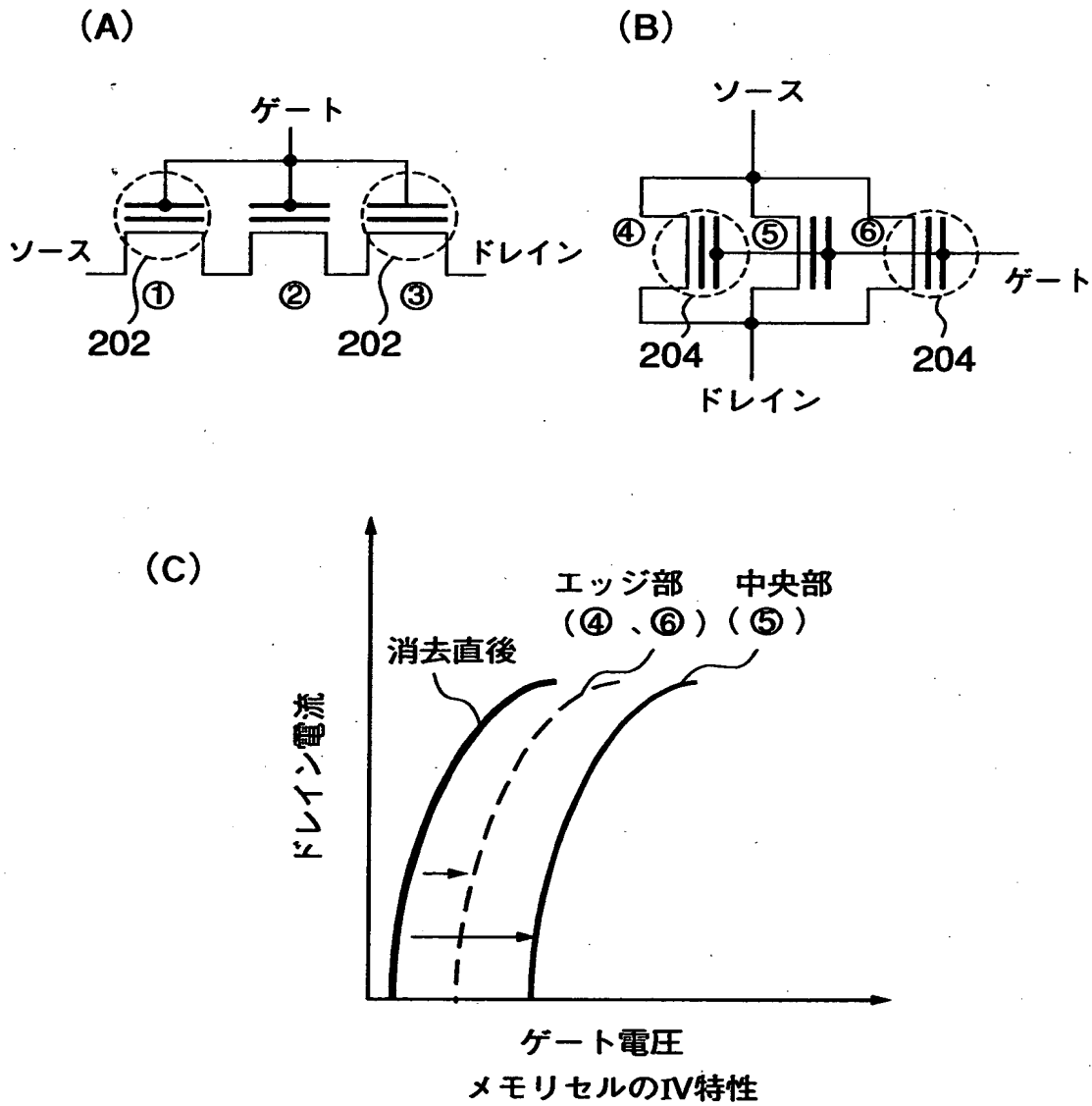
【図 6 3】



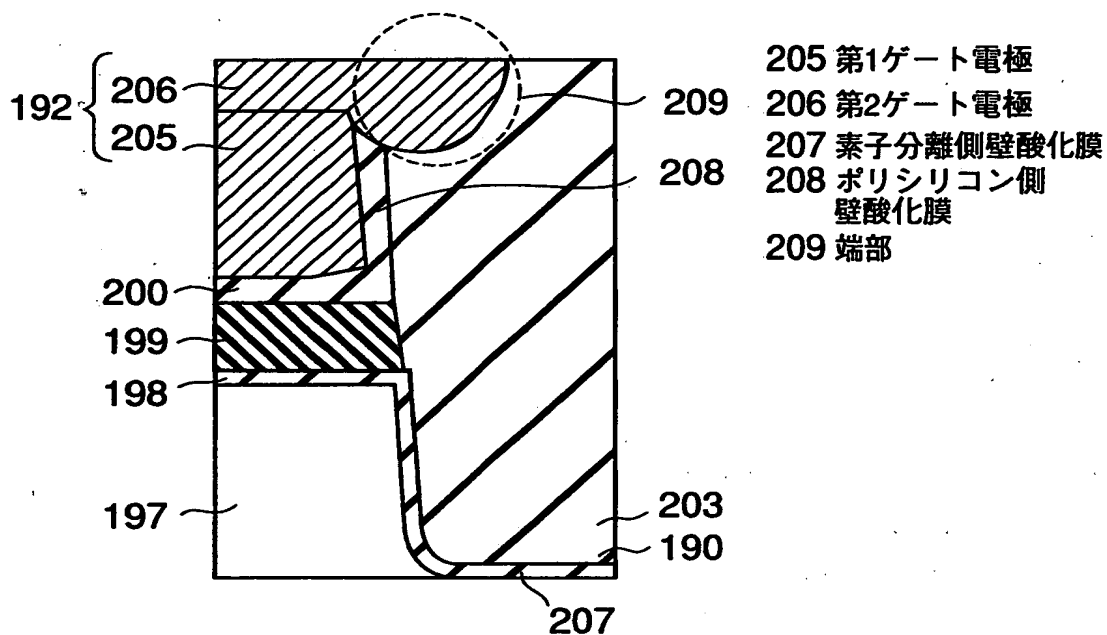
【図64】



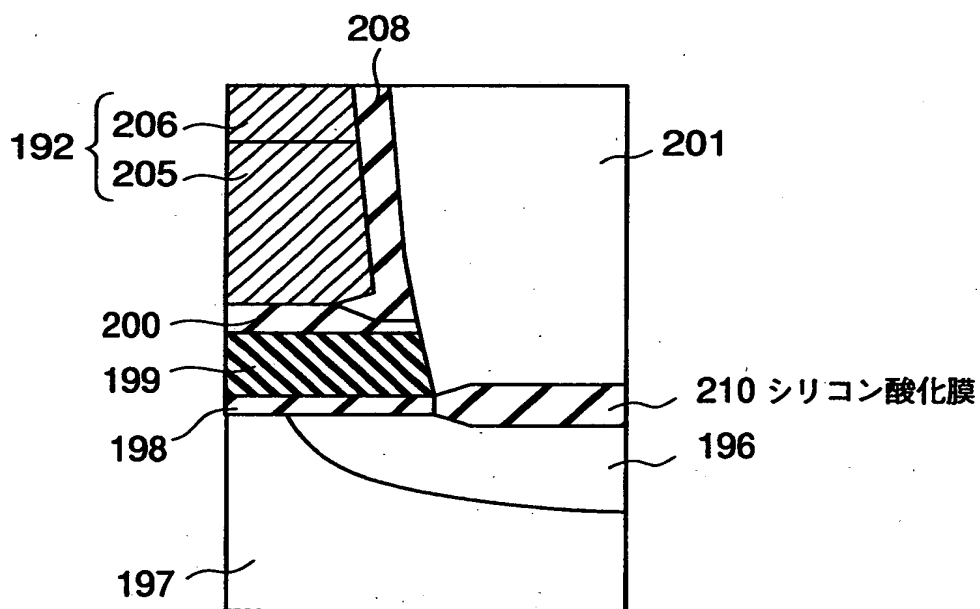
【図 65】



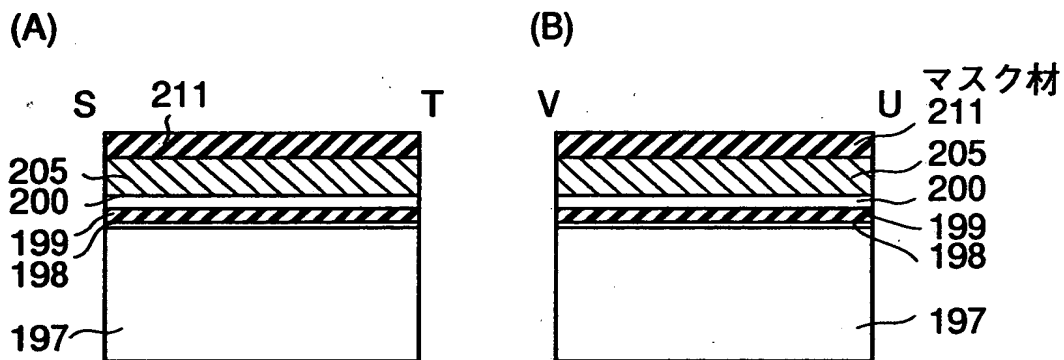
【図 66】



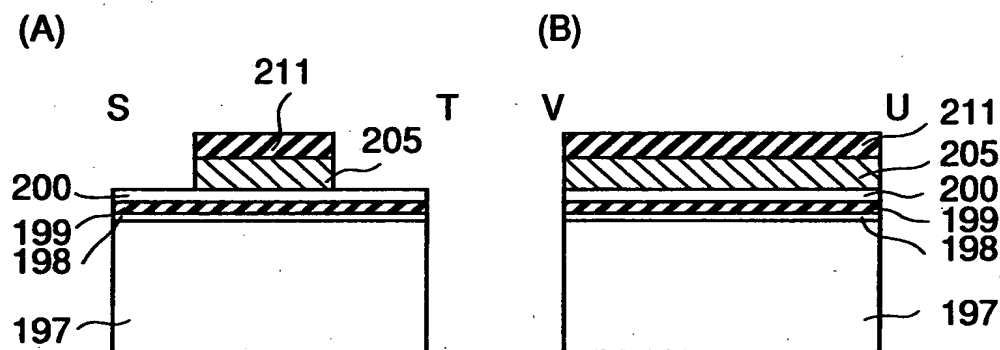
【図 67】



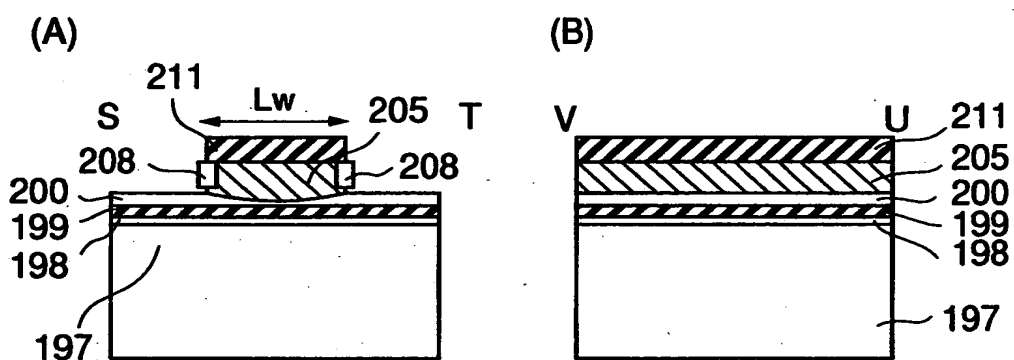
【図 6 8】



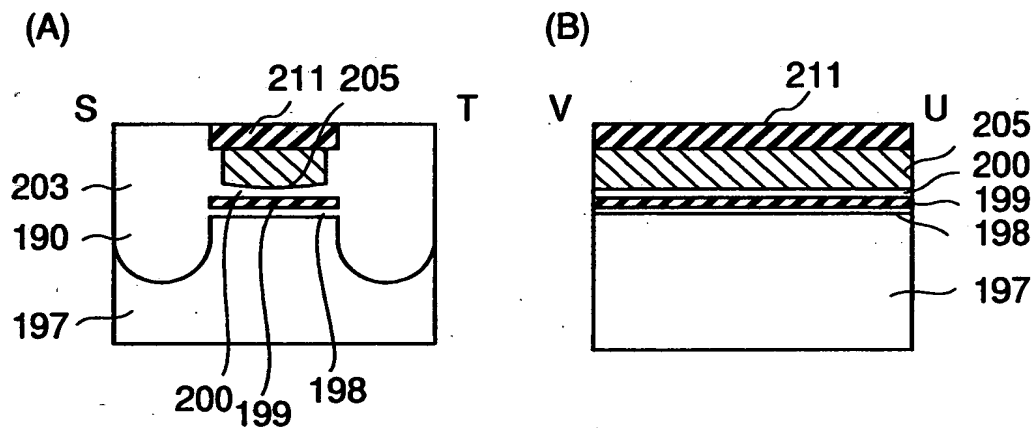
【図 6 9】



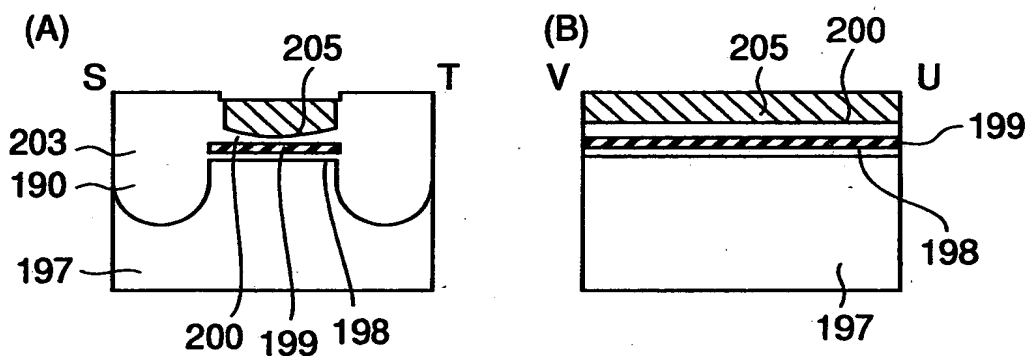
【図 7 0】



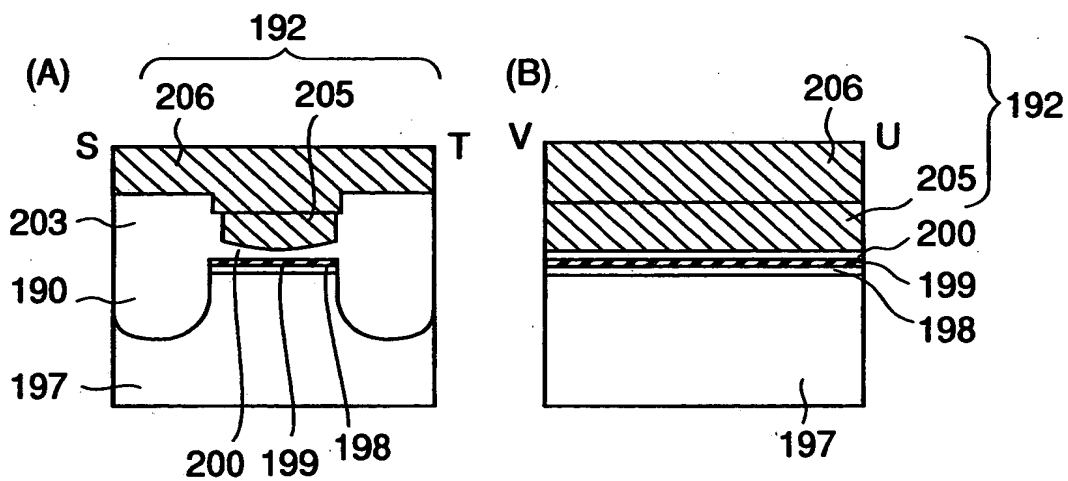
【図 7 1】



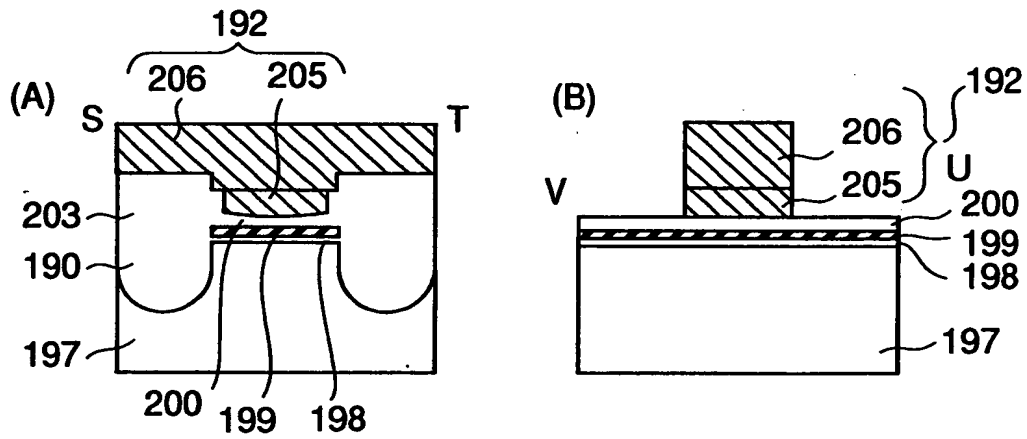
【図 7 2】



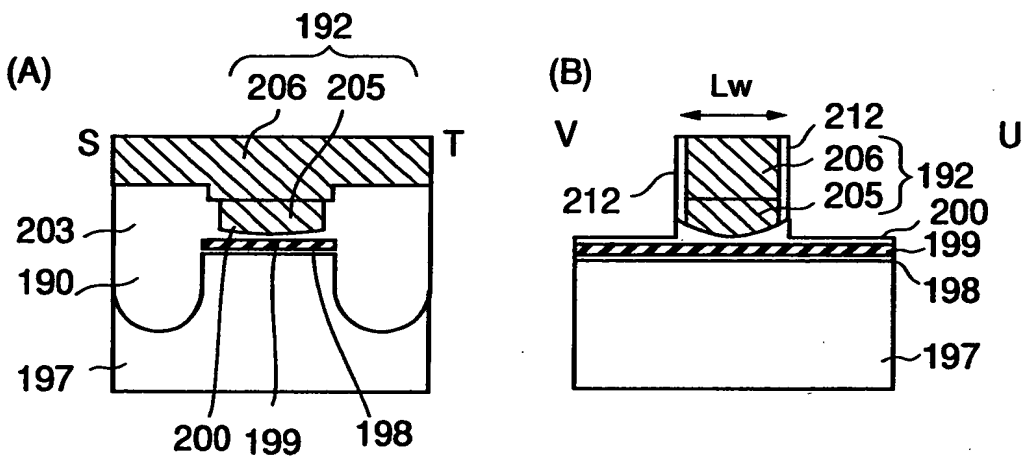
【図 7 3】



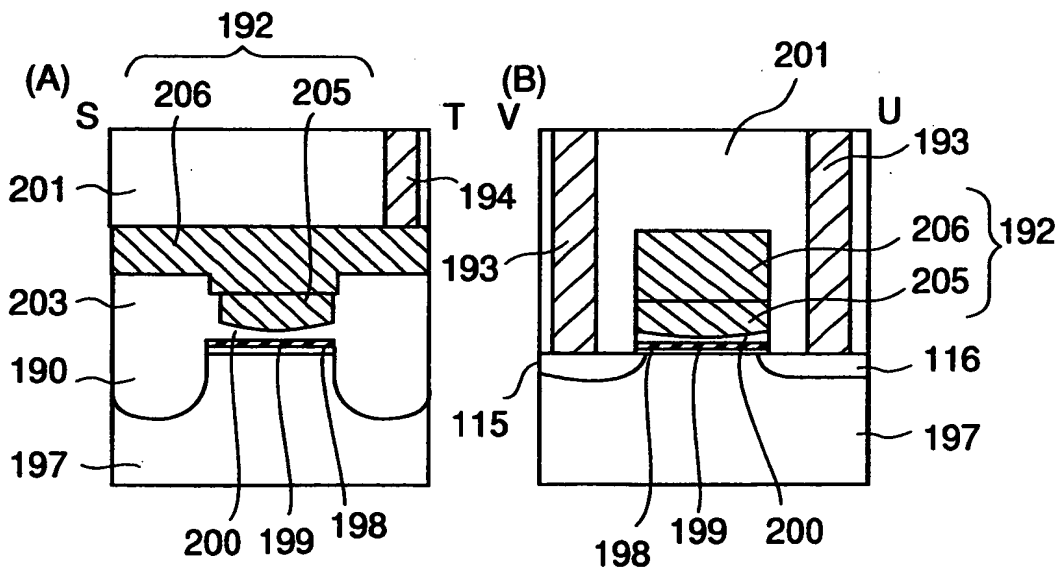
【図 7 4】



【図 7 5】

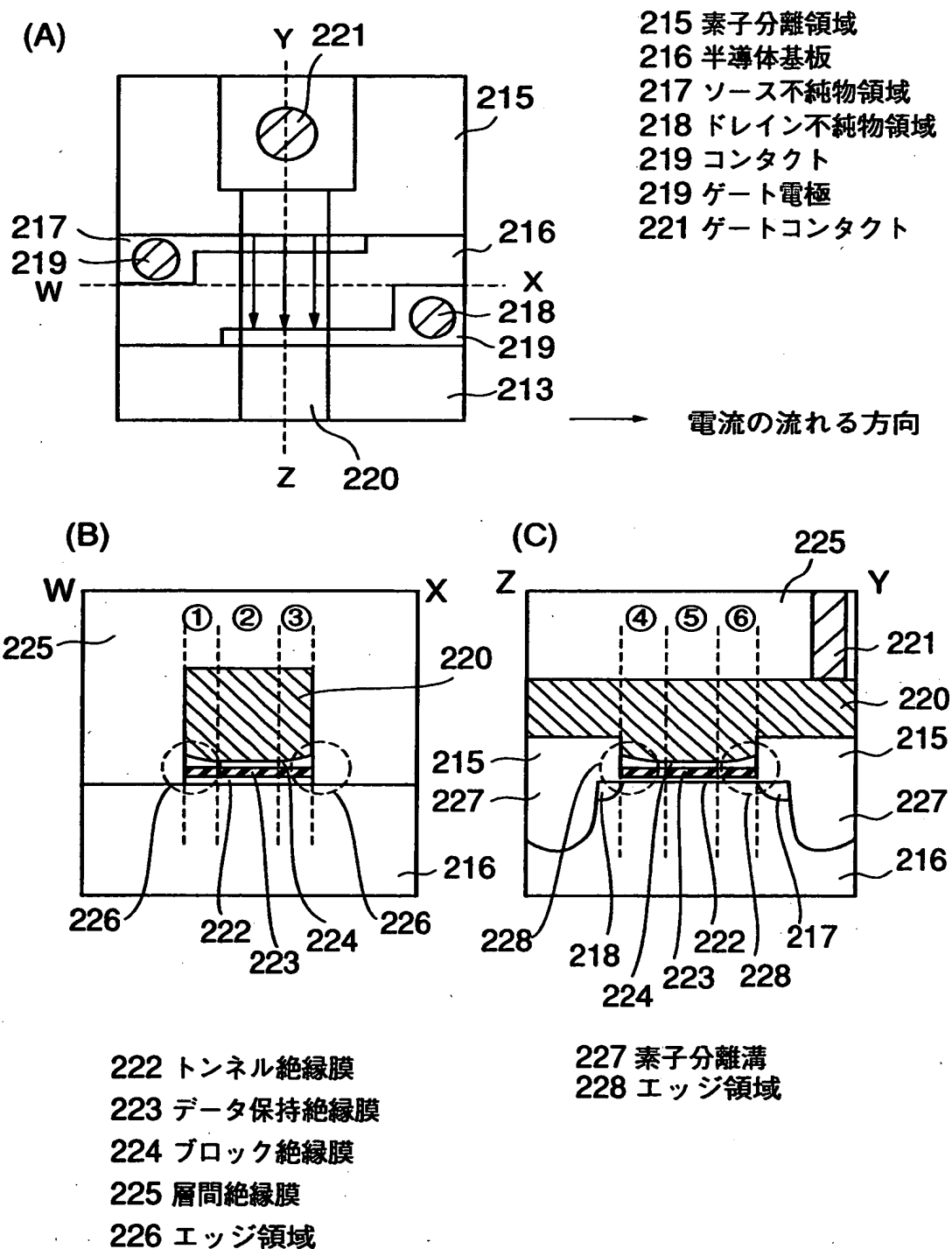


【図 7 6】

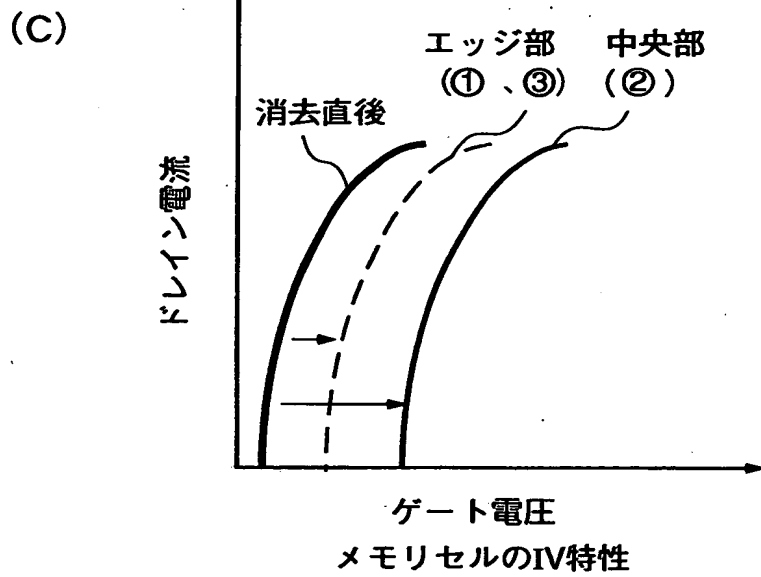
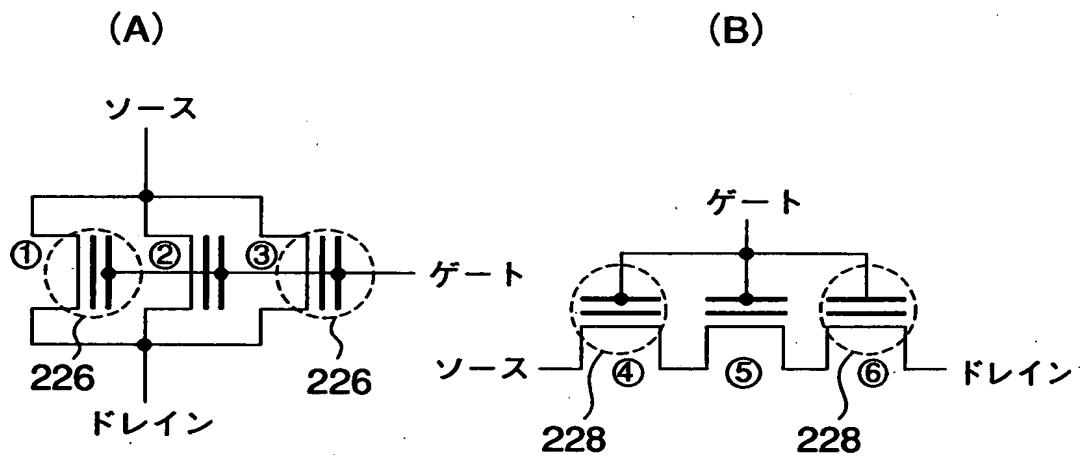




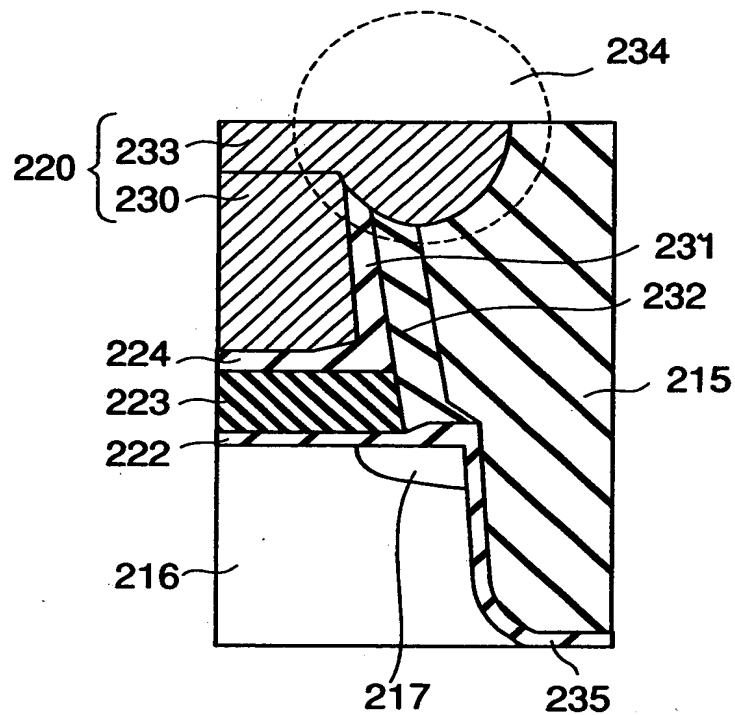
【圖 7 7】



【図 78】

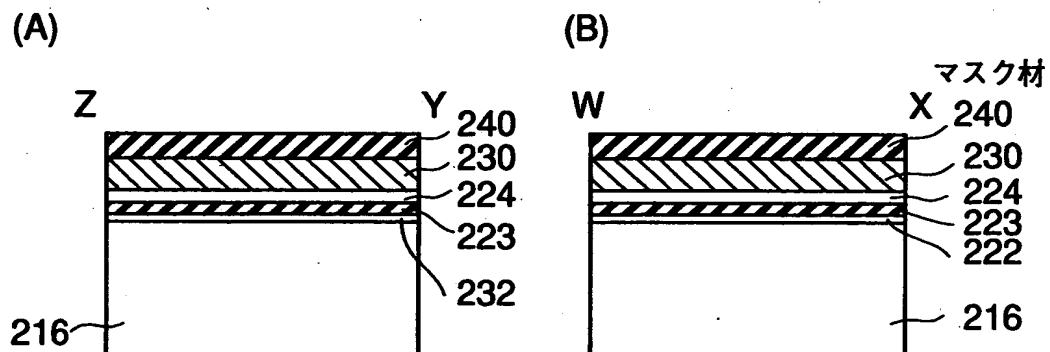


【図 7 9】

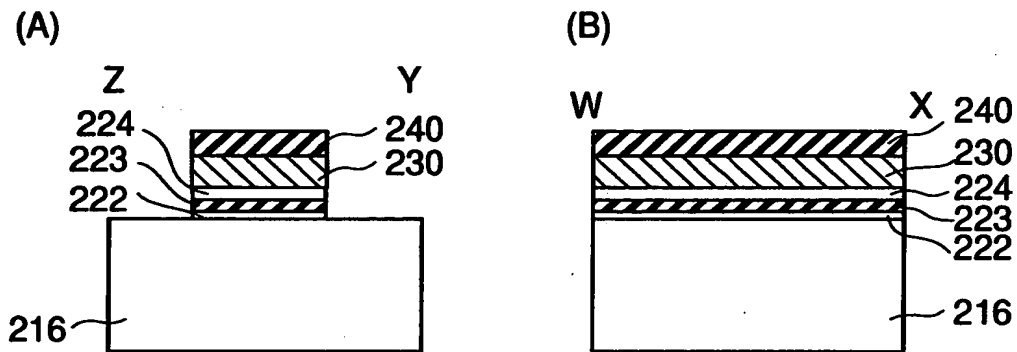


- 230 第1ゲート電極
- 231 ポリシリコン側壁絶縁膜
- 232 ゲート側壁絶縁膜
- 233 第2ゲート電極
- 234 端部
- 235 素子分離側壁酸化膜

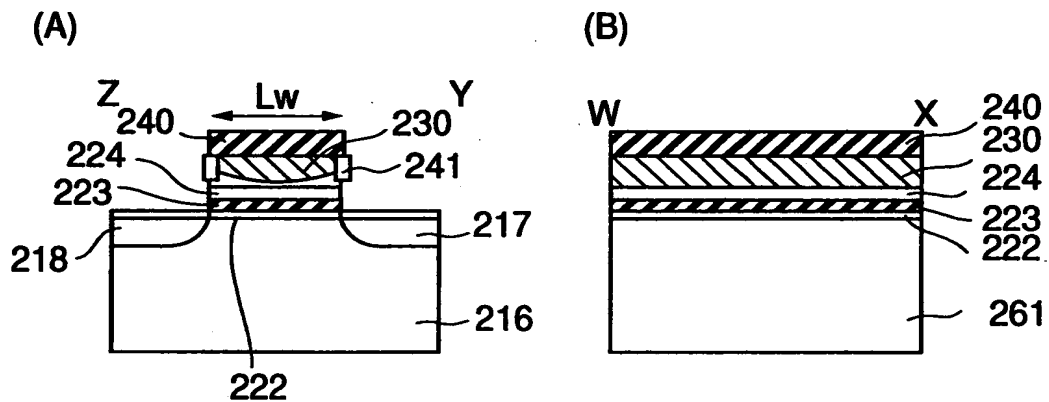
【図 8 0】



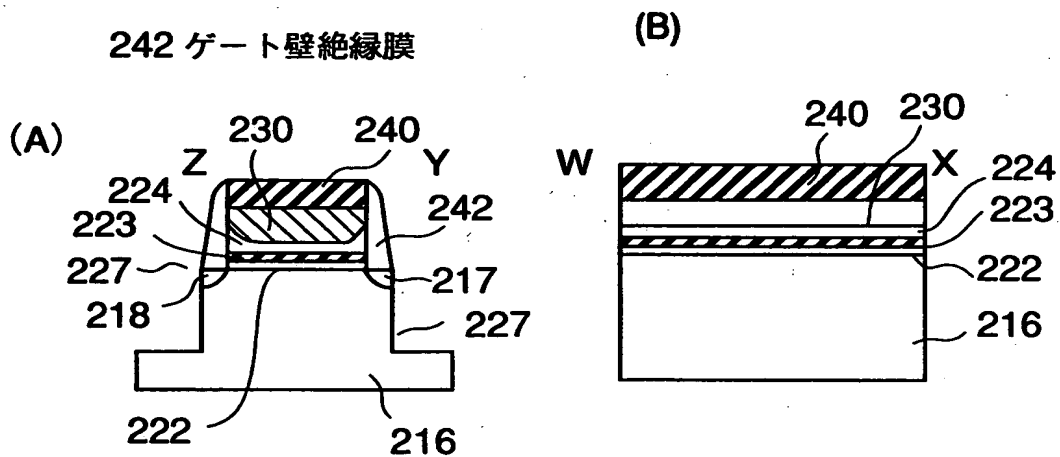
【図 8 1】



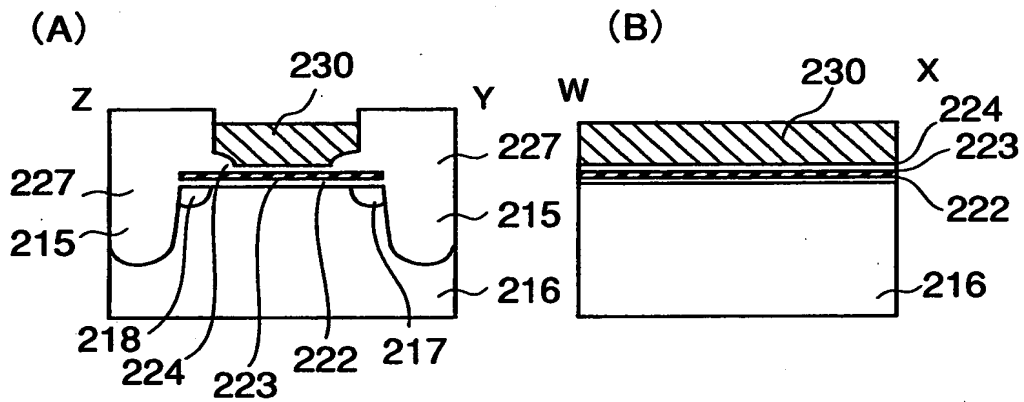
【図 8 2】



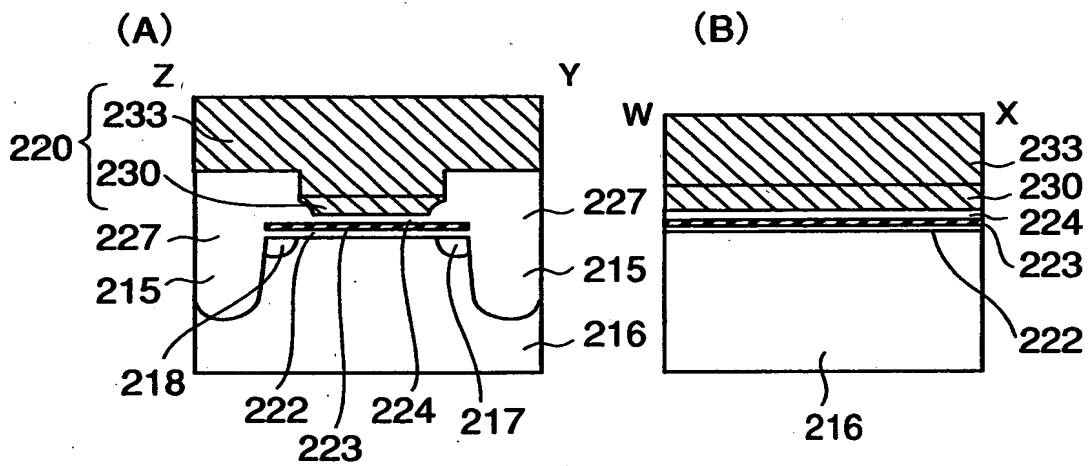
【図 8 3】



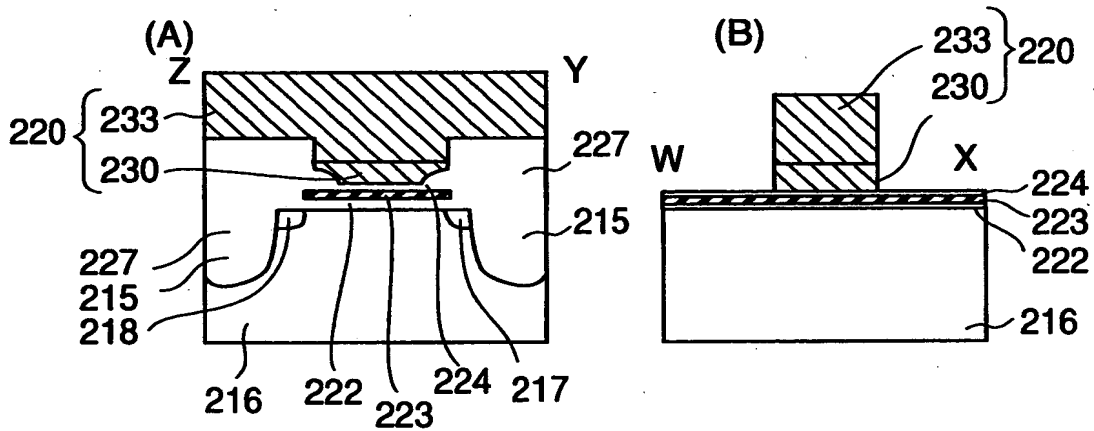
【図 8 4】



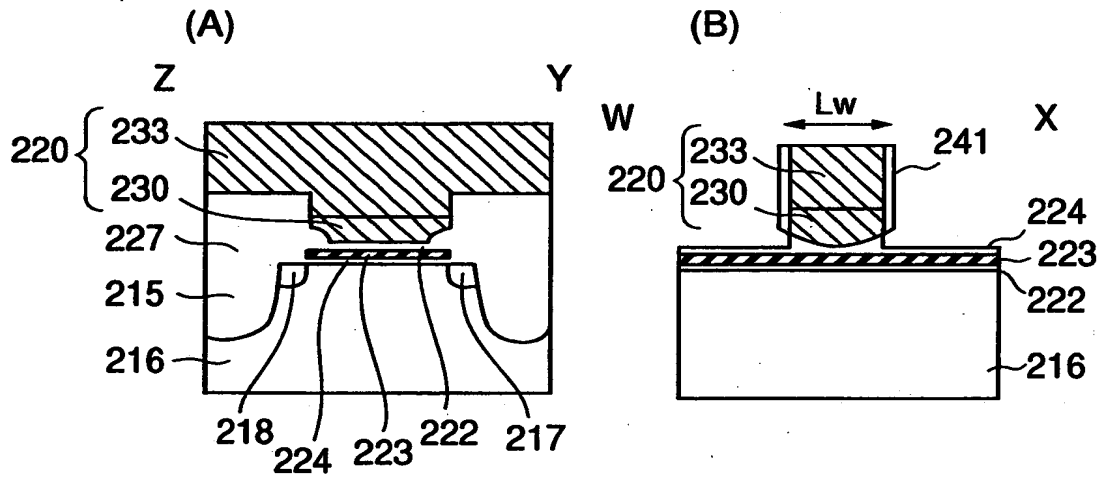
【図 8 5】



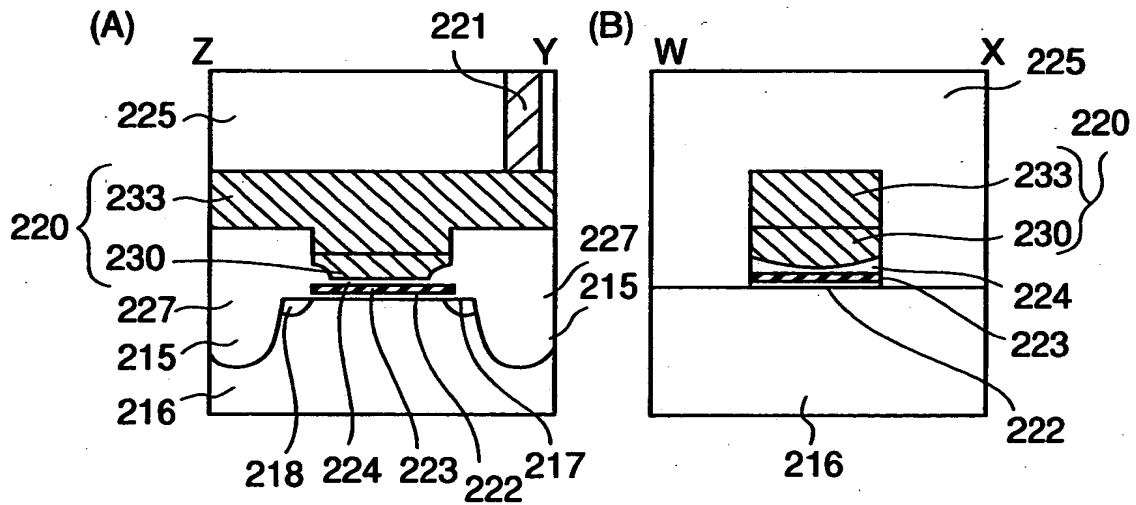
【図 8 6】



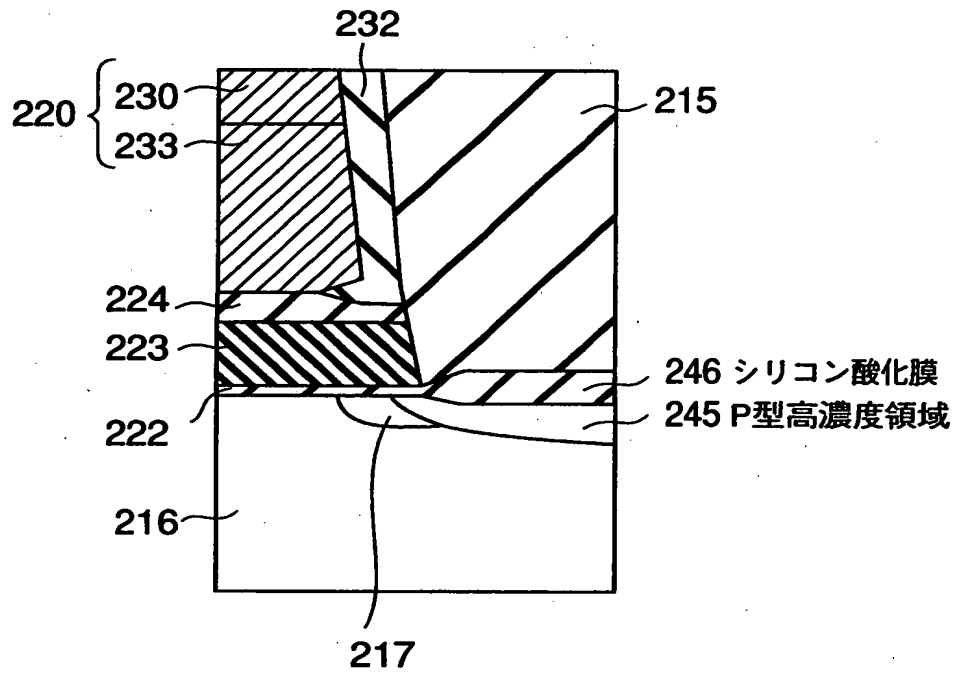
【図 87】



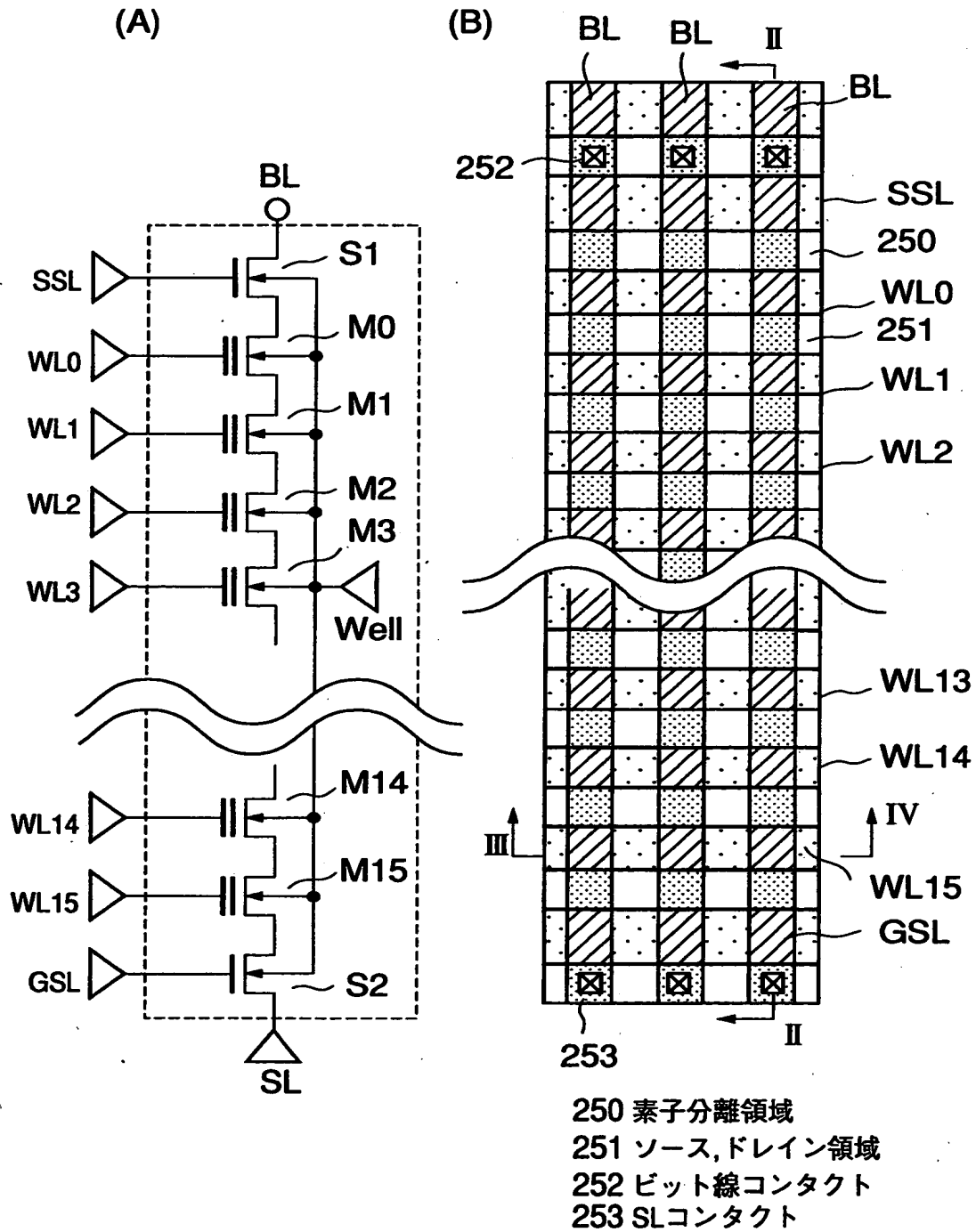
【図 88】



【図 8 9】

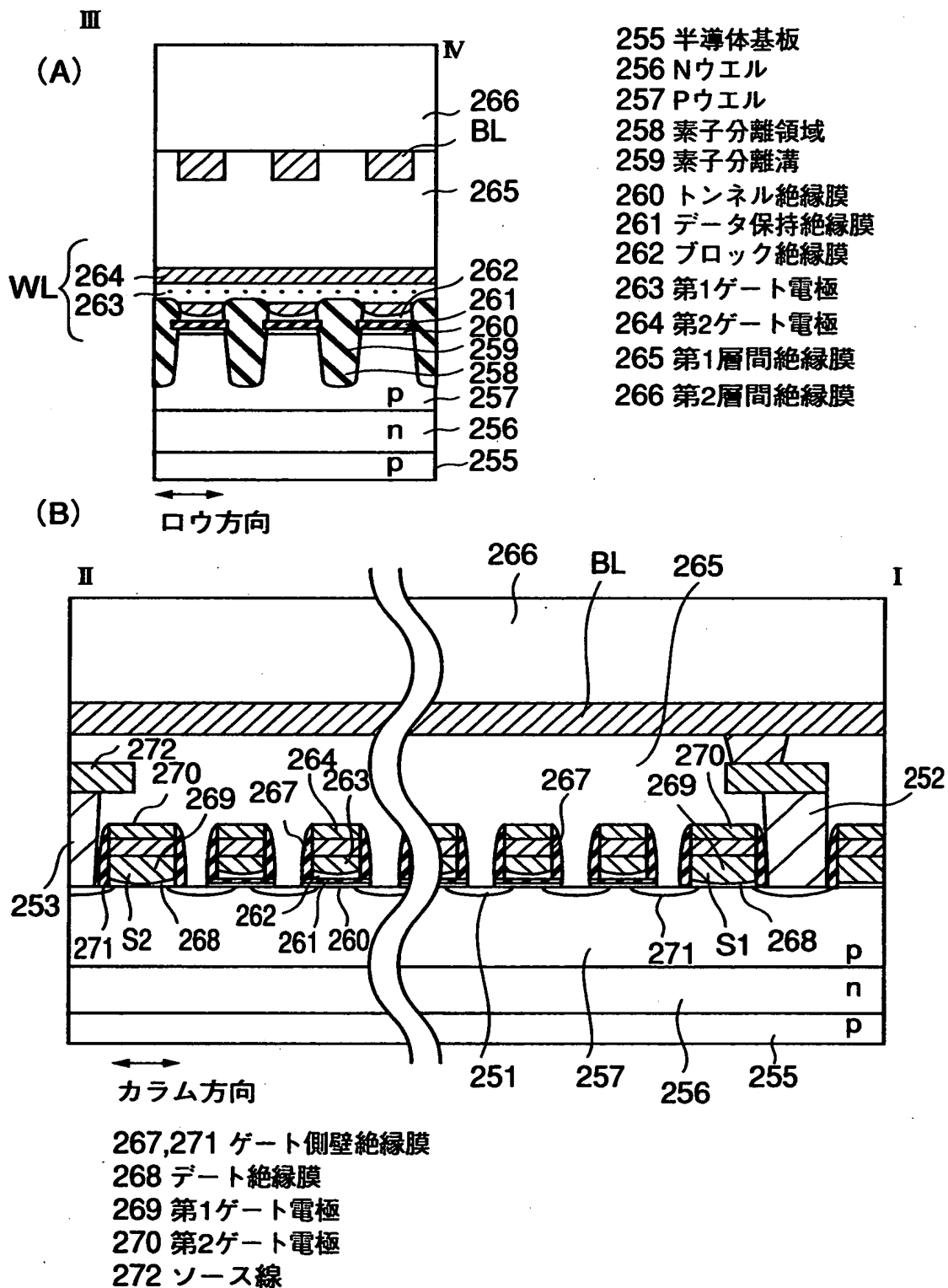


【図90】

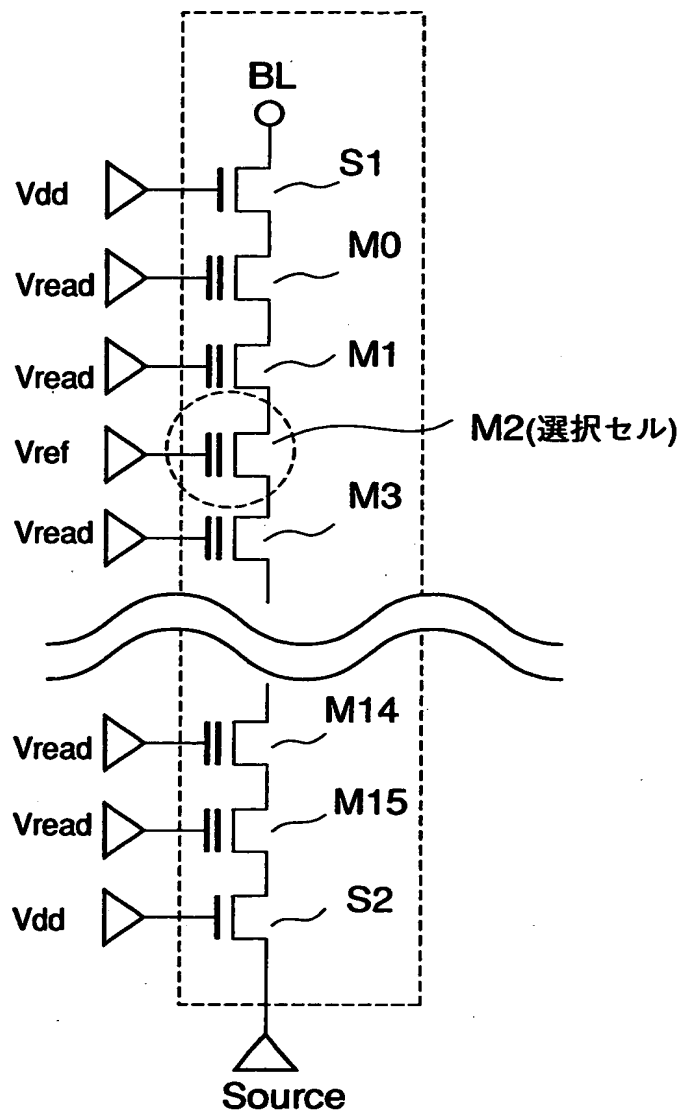




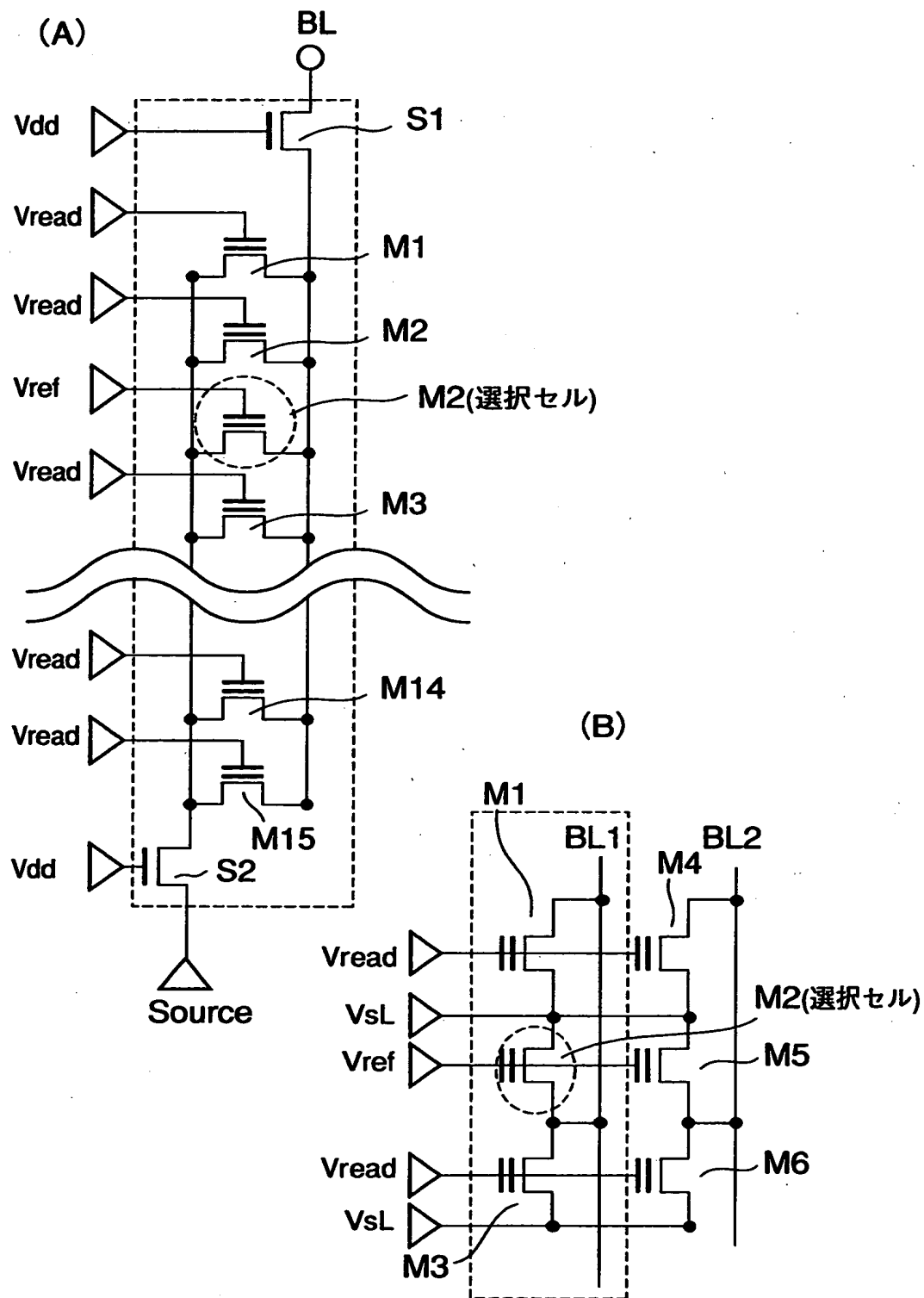
【図91】



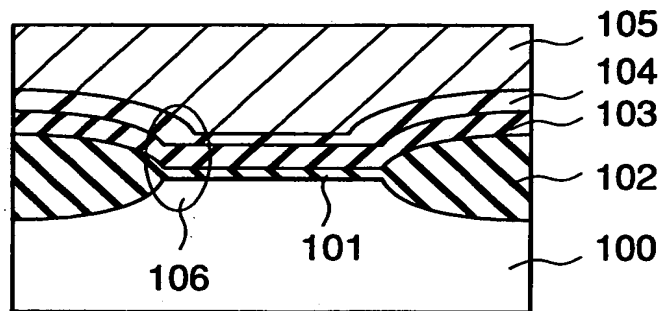
【図 9 2】



【図 93】



【図 9 4】



【書類名】 要約書

【要約】

【課題】

素子分離領域付近でのゲート絶縁膜の電気的特性と素子分離領域付近以外でのゲート絶縁膜の電気的特性とが等しい半導体装置及びその製造方法を提供する。

【解決手段】 半導体基板 1 と、この半導体基板 1 中に設けられた溝部中に形成されたシャロートレンチ素子分離領域 1 3 と、半導体基板 1 中に形成され、挟む前記半導体基板表面をチャンネルとするソース・ドレイン領域と、前記半導体基板上に形成され、その膜厚が前記チャンネルの中央部と前記シャロートレンチ素子分離領域と接する部分とで等しいゲート絶縁膜 1 0、1 1、1 2 と、このゲート絶縁膜 1 0、1 1、1 2 上に形成されたゲート電極 1 4、1 5 とを有する半導体装置である。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

|          |                |
|----------|----------------|
| 1. 変更年月日 | 2001年 7月 2日    |
| [変更理由]   | 住所変更           |
| 住 所      | 東京都港区芝浦一丁目1番1号 |
| 氏 名      | 株式会社東芝         |